

Japan Patent Office

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: February 6, 2003

Application Number: Japanese Patent Application
No.2003-030109

[ST.10/C]: [JP2003-030109]

Applicant(s): RICOH COMPANY, LTD.

January 6, 2004

Commissioner,
Japan Patent Office

Yasuo Imai (Seal)

Certificate No.2003-3108614

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 3 0 1 0 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 3 0 1 0 9]

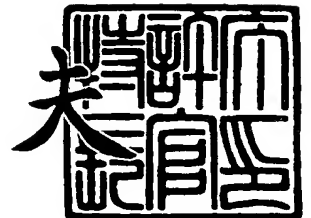
出 願 人 株式会社リコー
Applicant(s):



2 0 0 4 年 1 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 8 6 1 4

【書類名】 特許願

【整理番号】 0300128

【提出日】 平成15年 2月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 G03G 15/01
G03G 15/00

【発明の名称】 同期信号発生器および画像形成装置

【請求項の数】 6

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 川 合 義 昭

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代表者】 桜 井 正 光

【代理人】

【識別番号】 100076967

【弁理士】

【氏名又は名称】 杉 信 興

【手数料の表示】

【予納台帳番号】 014362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808723

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期信号発生器および画像形成装置

【特許請求の範囲】

【請求項 1】

単一の、高周波クロックを発生する手段；および、複数の画素クロック発生器；を含み、各画素クロック発生器が、

前記高周波クロックを分周して基準周期、それより長周期および短周期のパルスの、出力選択信号によって指定されたものを画素クロックとして出力する画素クロック発生手段；

第 1 組のデータが規定する前記各周期のパルスの時系列分布にしたがって、前記各周期のパルスを指定する第 1 選択信号を前記画素クロックに同期して出力する第 1 選択手段；

第 2 組のデータが規定する前記各周期のパルスの時系列分布にしたがって、前記各周期のパルスを指定する第 2 選択信号を前記画素クロックに同期して出力する第 2 選択手段；および、

第 1 選択信号および第 2 選択信号を合成して前記出力選択信号を生成し前記画素クロック発生手段に出力する合成手段；

を備える、同期信号発生器。

【請求項 2】

高周波クロックを発生する手段；および画素クロック発生器；を含み、該画素クロック発生器が、

前記高周波クロックを分周して基準周期、それより長周期および短周期のパルスの、出力選択データによって指定されたものを画素クロックとして出力する画素クロック発生手段；

第 1 組のデータが規定する前記各周期のパルスの時系列分布にしたがって、前記各周期のパルスを指定する第 1 選択データを前記画素クロックに同期して出力する第 1 選択手段；

第 2 組のデータが規定する前記各周期のパルスの時系列分布にしたがって、前記各周期のパルスを指定する第 2 選択データを前記画素クロックに同期して出力

する第2選択手段；および、

第1選択データおよび第2選択データを加算して前記出力選択データを生成し前記画素クロック発生手段に出力する合成手段；を備える、同期信号発生器。

【請求項3】

前記高周波クロックを発生する手段は単一であり；前記画素クロック発生器が複数である；請求項2に記載の同期信号発生器。

【請求項4】

複数の感光体および各感光体を帯電する手段；

請求項1又は請求項3に記載の同期信号発生器；

該同期信号発生器の各画素クロック発生器が発生する各画素クロックに同期して各色作像用の画像信号を切換えて画像信号に対応した各色作像用の光ビームを出射する光変調手段；

各色作像用の光ビームを各感光体に主走査投射する露光光学系；

各感光体の静電潜像を各色トナーで可視像に現像する手段；

各色可視像を重ねて用紙に転写する手段；

各色作像用の各色主走査ラインの先端部に出射した各色作像用の各光ビームを検知し各色主走査ラインの先端検知信号を生成する先端同期検知手段；

各色作像用の各色主走査ラインの後端部に出射した各色作像用の各光ビームを検知し各色主走査ラインの後端検知信号を生成する後端同期検知手段；および、

少なくとも1色の主走査ラインの先端検知信号から後端検知信号までの間隔を計測し、計測値にしたがって該色宛ての第1組のデータを操作する主走査倍率補正手段；

を備える画像形成装置。

【請求項5】

先端検知信号から後端検知信号までの間隔の計測は、先端検知信号が発生してから後端検知信号までの、前記高周波クロックの計数である；請求項4に記載の画像形成装置。

【請求項6】

主走査倍率補正手段は、基準色の光ビームに対する前記計測値が基準値に合致

するように前記高周波クロックの周波数を調整し、他色の光ビームに対しては、基準値に対する計測値の偏差に応じて、第 1 組のデータに含まれる長周期又は短周期のパルスを挿入する画素数および挿入間隔を調整する；請求項 4 又は請求項 5 に記載の画像形成装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、光ビーム変調器に与える画像信号を画素区切りで切換えるための画素クロックを発生する同期信号発生器およびそれを用いる画像形成装置に関する。

【0 0 0 2】

【従来技術】

電子写真方式でカラー画像を形成する画像形成装置に採用されている作像プロセスには種々の方式のものが知られている。その 1 つにタンデムタイプと称される方式がある。この方式は、作像する色毎に感光体と、感光体に対する作像プロセス要素を備え、これらの感光体および作像プロセス要素を中間転写体や用紙搬送ベルトに沿って配置して各色毎に形成された画像を中間転写体上で重ね合わせ、重ね合わされたフルカラー画像を用紙に 1 度に転写したり、用紙搬送ベルトによって搬送される用紙が前記各感光体の転写プロセスを通過するたびにその感光体上に形成された色の画像を転写し、すべての転写ステーションを通過させてフルカラー画像を形成するというものである。

【0 0 0 3】

図 3 に後者のタンデムタイプのカラー画像形成装置の一構成を示す。同図において、各々異なる色（イエロー：Y／y、マゼンタ：M／m、シアン：C／c、ブラック：K／b k）の画像を形成する感光体ドラム 6 a ～ 6 d が、転写紙 8 を搬送する搬送ベルト 1 0 に沿って一列に配置されている。記録用の画像信号に従い、帯電チャージャで一様に荷電された Y，M，C および K 記録用の各感光体ドラム 6 a，6 b，6 c および 6 d 上に、露光器 5 が、Y，M，C および K 記録用の画像信号で変調したレーザー光ビームを走査投射し、静電潜像を形成する。各

静電潜像は各現像器 7 a, 7 b, 7 c および 7 d により、Y, M, C および K トナーのそれぞれで現像され、各色のトナー像（顕像：可視像）を形成する。

【0004】

一方、転写紙は、給紙カセット 8 より転写ベルトユニットの転写ベルト 10 上に搬送され、各感光体ドラム上に現像形成された各色画像（顕像）が、転写器 11 a, 11 b, 11 c および 11 d にて転写紙上に順に転写され、重ね合わさった後に、定着装置 12 によって定着される。定着を終えた転写紙は機外に排出される。

【0005】

転写ベルト 10 は、駆動ローラ 9, テンションローラ 13 a および従動ローラ 13 b で支持された透光性のエンドレスベルトであり、テンションローラ 13 a が図示しないばねでベルト 10 を押し下げるので、ベルト 10 の張力は略一定である。

【0006】

図 4 は露光器 5 を構成する光学ユニットを上から見下した平面図である。同図において、レーザダイオードおよびそのレーザ光を変調するレーザドライバを含むレーザダイオードユニット（LD ユニット）31 b k および LD ユニット 31 y からの光ビームは、シリンダレンズ 32 b k, 32 y を通り、反射ミラー 33 b k および反射ミラー 33 y によってポリゴンミラー 34 の下部側の面に入射し、ポリゴンミラー 34 が回転することにより光ビームを偏向し、f θ レンズ 35 b k c および f θ レンズ 35 y m を通り、第 1 ミラー 36 b k および第 1 ミラー 36 y によって折り返される。

【0007】

一方、LD ユニット 31 c および LD ユニット 31 m からの光ビームは、シリンダレンズ 32 c および 32 m を通り、ポリゴンミラー 34 上部側の面に入射し、ポリゴンミラー 34 が回転することにより光ビームを偏向し、f θ レンズ 35 b k c および f θ レンズ 35 y m を通り、第 1 ミラー 36 c および第 1 ミラー 36 m によって折り返される。

【0008】

主走査方向の書き出し位置より上流側にはシリンダミラー 37 b k c および 37 y m さらにはセンサ 38 b k c および 38 y m が備わっており、 $f\theta$ レンズ 35 b k c および 30 y m を通った光ビームがシリンダミラー 37 b k c および 37 y m によって反射集光されて、センサ 38 b k c および 38 y m に入射するような構成となっている。これらのセンサ 38 b k c および 38 y m は、主走査方向の同期を取るための同期検知センサである。

【0009】

また、主走査方向の画像領域より下流側に、前記上流側と同様にシリンダミラー 39 b k c および 39 y m さらにはセンサ 40 b k c および 40 y m が備わっており、 $f\theta$ レンズ 35 b k c および $f\theta$ レンズ 30 y m を通った光ビームがシリンダミラー 39 b k c および 39 y m によって反射集光され、センサ 40 b k c および 40 y m に入射するような構成となっている。

【0010】

また、LD ユニット 31 b k および 31 c からの光ビームの検出では、書き出し側では共通のセンサ 38 b k c、終了側では共通のセンサ 40 b k c を使用している。LD ユニット 31 y および 31 m からの光ビームの検出についても同様に、書き出し側では共通のセンサ 38 y m、終了側では共通のセンサ 40 y m を使用している。同じセンサに2色の作像用光ビームが入射することとなるので、各色の光ビームのポリゴンミラー 34 の入射角を異なるようにすることで、それぞれの光ビームが各センサに入射するタイミングを変え、時系列的にパルス列として出力されるようになっている。図からも分かるように、K (b k) と C (c) および Y (y) と M (m) は逆方向に走査される。

【0011】

図 14 に、従来の同期信号発生器を示す。各色毎に PLL (Phase Locked Loop) 部 40 b k, M, C, Y を有し、PLL 部 40 b k, M, C, Y では、基準クロック REFCLK を分周器 43 b k, M, C, Y で M 分周 ($1/M$ の周波数に分周) した信号と、同一周波数の高周波クロック * $_PLLCLK$ を分周器 45 b k, M, C, Y で N 分周した信号を、位相比較器, LPF (ローパスフィルタ) および Vco (電圧制御周波数可変発振器) の組合せでなる PLL 制御部 44 b k, M, C,

Yに入力し、各色高周波クロック*_PLLCLKを生成する。なお、*_PLLCLKは具体的にはK PLLCLK, M PLLCLK, C PLLCLKおよびY PLLCLKである。前記先端同期検知センサ38bk, 38ymからの各色同期検知信号*_DETP_Nを基準として、分周器41bk, M, C, Yで高周波クロックをK分周し、各色用の画素クロック*_WCLKを生成し、画素クロックに同期した内部同期信号*_PSYNC_N（ライン同期信号）を生成する。

【0012】

なお、なお、*_WCLKは具体的にはK WCLK, M WCLK, C WCLKおよびY WCLKである。以下においては、*_WCLKを単にWCLKと表すこともある。他の信号でも同様である。

【0013】

各色の画像形成部はこの画素クロック*_WCLKおよび内部同期信号（ライン同期信号）*_PSYNC_Nを用いて、LDユニット31bk, 31m, 31c, 31yでLD変調に用いる画像信号の出力タイミング（画像信号の切換え）を制御する。

【0014】

画素クロック*_WCLKの周波数 f_{wclk} は、

$$f_{wclk} = f_{refclk} / M \times N / K$$

となる。 f_{refclk} は基準クロックREFCLKの周波数である。

【特許文献1】 特開2000-221431号公報は、各色ごとにPLL部を用いる画素クロック発生器を開示している。

【0015】

主走査の倍率補正、すなわち各色の1ライン上の画素数を同一とするための画素クロック*_WCLKの周波数補正、を行う場合は、前記先端検知センサ38bk, 38ymが光ビームを検出してから、後端検知センサ39bk, 39ymが光ビームを検出するまでの期間、画素クロック*_WCLKをカウントし、このカウント値が予め設定された基準カウント値と一致するように、MとNの値を調整する。すなわち画素クロック*_WCLKの周波数を調整する。つまり、各色の1ライン上の画素数を同一に調整する。

【特許文献2】 特開2002-096502号公報は、主走査の倍率補正を行う露光装置を開示している。

【0016】

画素クロックの周波数を変更する倍率補正で1ライン全体の倍率(画素数)を調整することは可能であるが、光学系のレンズ($f\theta$ レンズ)やミラーの位置精度による、同一ライン上の局所的な伸縮(主走査方向の画素位置ズレ)は補正することができない。

【特許文献3】 特許第3231610号は、原画素クロックとして基準周期、それより短い周期および長い周期の3種のクロックを準備し、主走査位置(主走査方向の画素位置)に対応して1種のクロックを選択して画素クロックとすることにより、同一ライン上で画素幅を伸縮する、主走査方向の画像幅伸縮の補正方法を提示している。

【0017】

【発明が解決しようとする課題】

各色毎にPLL部を持つ場合は、PLL部が多い分コストアップとなる。主走査倍率補正と主走査方向の画素幅の補正とを併せて行う場合は、主走査倍率補正データと画素幅伸縮補正データを合成する際に、特許文献3のようにそれらのデータを記憶部に展開して重ね合わせると、最低1ライン分のメモリが必要となりコストアップとなってしまう。ページ間で主走査倍率補正を実施する場合に、PLLの設定値を変更すると、PLLが安定するまでには、ある程度の時間が必要となり、連続印刷時の生産性を落とすことになる。

【0018】

本発明は、主走査ラインの主走査倍率と画素幅伸縮の補正を併せて実現する画素クロックを、比較的簡単に生成することが出来る同期信号発生器およびそれを用いる画像形成装置を提供することを目的とする。

【0019】

【課題を解決するための手段】

(1) 単一の、高周波クロック(PLLCLK)を発生する手段(40); および、複数の画素クロック発生器; を含み、各画素クロック発生器が、

前記高周波クロック(PLLCLK)を分周して基準周期(0dot), それより長周期(+1/8dot)および短周期(-1/8dot)のパルスの、出力選択信号(PWMDAT)によって指定さ

れたものを画素クロック (WCLK) として出力する画素クロック発生手段(51)；

第 1 組のデータ (A, B, C) が規定する前記各周期のパルスの時系列分布にしたがって、前記各周期のパルスを指定する第 1 選択信号 (PWM1) を前記画素クロック (WCLK) に同期して出力する第 1 選択手段(55)；

第 2 組のデータ (A0～3, B0～3, C0～3, D) が規定する前記各周期のパルスの時系列分布にしたがって、前記各周期のパルスを指定する第 2 選択信号 (PWM2) を前記画素クロック (WCLK) に同期して出力する第 2 選択手段(56)；および、

第 1 選択信号 (PWM1) および第 2 選択信号 (PWM2) を合成して前記出力選択信号 (PWMDAT) を生成し前記画素クロック発生手段(51)に出力する合成手段(54)；
を備える、同期信号発生器。

【 0 0 2 0 】

なお、理解を容易にするためにカッコ内には、図面に示し後述する実施例の対応要素の符号もしくは対応事項を、例示として参考までに付記した。以下も同様である。

【 0 0 2 1 】

これによれば、第 1 選択信号 (PWM1) による出力パルス指定が、第 1 組のデータ (A, B, C) が規定する前記各周期のパルスの時系列分布にしたがって推移するので、仮にこの第 1 選択信号 (PWM1) にしたがってパルスを画素クロック (WCLK) として出力すると、第 1 組のデータ (A, B, C) の調整によって主走査倍率を補正できる。

【 0 0 2 2 】

また、第 2 選択信号 (PWM2) による出力パルス指定が、第 2 組のデータ (A0～3, B0～3, C0～3, D) が規定する前記各周期のパルスの時系列分布にしたがって推移するので、仮にこの第 2 選択信号 (PWM2) にしたがってパルスを画素クロック (WCLK) として出力すると、第 2 組のデータ (A0～3, B0～3, C0～3, D) の調整によって画素幅伸縮を補正できる。

【 0 0 2 3 】

合成手段(54)が第 1 選択信号 (PWM1) および第 2 選択信号 (PWM2) を合成して前記出力選択信号 (PWMDAT) を生成し前記画素クロック発生手段(51)に出力するので、主走査倍率補正および画素幅伸縮補正の両方が可能である。

【0024】

高周波クロック発生手段(40)が1個で済むので、ハードウェアがその分簡素になる。

【0025】

【発明の実施の形態】

(2) 高周波クロック(PLLCLK)を発生する手段(40)；および画素クロック発生器；を含み、該画素クロック発生器が、

前記高周波クロック(PLLCLK)を分周して基準周期(0dot)，それより長周期(+1/8dot)および短周期(-1/8dot)のパルスの、出力選択データ(PWMDAT)によって指定されたものを画素クロック(WCLK)として出力する画素クロック発生手段(51)；

第1組のデータ(A,B,C)が規定する前記各周期のパルスの時系列分布にしたがって、前記各周期のパルスを指定する第1選択データ(PWM1)を前記画素クロック(WCLK)に同期して出力する第1選択手段(55)；

第2組のデータ(A0~3,B0~3,C0~3,D)が規定する前記各周期のパルスの時系列分布にしたがって、前記各周期のパルスを指定する第2選択データ(PWM2)を前記画素クロック(WCLK)に同期して出力する第2選択手段(56)；および、

第1選択データ(PWM1)および第2選択データ(PWM2)を加算して前記出力選択データ(PWMDAT)を生成し前記画素クロック発生手段(51)に出力する合成手段(54)；を備える、同期信号発生器。

【0026】

これによれば、合成手段(54)が第1選択信号(PWM1)と第2選択信号(PWM2)とを加算により合成するので、第1選択信号(PWM1)と第2選択信号(PWM2)とをラインメモリ上に展開する必要はなく、メモリを節約できるし、ラスタ形式で発生する(時系列で推移する)第1選択信号(PWM1)と第2選択信号(PWM2)をリアルタイムで合成できる。すなわち、第1選択信号(PWM1)と第2選択信号(PWM2)のメモリに対する読書きを省略して、信号処理を簡素に出来る。

【0027】

(2a) 前記基準周期(0dot)，それより長周期(+1/8dot)および短周期(-1/8dot)のパルスを指定するデータをそれぞれ、数値a(0)，b(1)およびc(3)とする

とき、前記合成手段(54)は、加算した値が $a(0) \times 2$ になるときには出力選択データ(PWMDAT)を $a(0)$ とし、 $a(0) + b(1)$ となるときは $b(1)$ とし、 $b(1) \times 2$ となるときには $b(1)$ として余りの $b(1)$ を次の画素に繰越し加算し、 $b(1) + c(3)$ となるときは $a(0)$ とし、 $c(3) \times 2$ となるときは $c(3)$ として余りの $c(3)$ を次の画素に繰越し加算する、上記(2)に記載の同期信号発生器。

【0028】

これによれば、後述の実施例で示すように、簡単なデータ加算と、加算で得る和データの一部の簡単なエンコード(データ変換)によって、第1選択信号(PWM1)と第2選択信号(PWM2)をともに比較的忠実に表わす出力選択データ(PWMDAT)が得られる。

【0029】

(2b) 高周波クロック(PLLCLK)を発生する手段(40)；および画素クロック発生器；を含み、該画素クロック発生器が、

前記高周波クロック(PLLCLK)を分周して基準周期(0dot)、それより長周期(+1/8dot)および短周期(-1/8dot)のパルスの、出力選択データ(PWMDAT)によって指定されたものを画素クロック(WCLK)として出力する画素クロック発生手段(51)；

第1組のデータ(A,B,C)が規定する前記各周期のパルスの時系列分布にしたがって、前記各周期のパルスを指定する第1選択データ(PWM1)を前記画素クロック(WCLK)に同期して出力する第1選択手段(55)；

第2組のデータ(A0~3,B0~3,C0~3,D)が規定する前記各周期のパルスの時系列分布にしたがって、前記各周期のパルスを指定する第2選択データ(PWM2)を前記画素クロック(WCLK)に同期して出力する第2選択手段(56)；および、

第1選択データ(PWM1)と第2選択データ(PWM2)を合成して前記出力選択データ(PWMDAT)を生成する合成手段(54)；を備え、

前記基準周期(0dot)、それより長周期(+1/8dot)および短周期(-1/8dot)のパルスを指定するデータをそれぞれ、数値 $a(0)$ 、 $b(1)$ および $c(3)$ とするとき、前記合成手段(54)は、第1選択データ(PWM1)および第2選択データ(PWM2)が、

ともに $a(0)$ のときには出力選択データ(PWMDAT)を $a(0)$ とし、
一方が $a(0)$ 、他方が $b(1)$ となるときは $b(1)$ とし、

ともに b (1) になるとときには b (1) として余りの b (1) を次の画素に繰越し加算し、

一方が b (1)、他方が c (3) となるときは a (0) とし、

ともに c (3) になるときは c (3) として余りの c (3) を次の画素に繰越し加算する；同期信号発生器。

【 0 0 3 0 】

これによれば、後述の実施例で示すように、簡単なエンコード（データ変換）によって、第 1 選択信号(PWM1)と第 2 選択信号(PWM2)の組合せを、それらの内容を比較的忠実に表わす出力選択データ(PWMDAT)に変換できる。

【 0 0 3 1 】

(2 c) a = 0, b = 1 および c = 3 である、上記 (2 a) 又は (2 b) に記載の同期信号発生器。これによれば、加算処理およびエンコードがきわめて簡素になる。

【 0 0 3 2 】

(3) 前記高周波クロック(PLLCLK)を発生する手段(40)は単一であり；前記画素クロック発生器が複数(4)である；上記 (2), (2 a), (2 b) 又は (2 c) に記載の同期信号発生器。これによれば、作像色数が多いフルカラープリンタまたは複写機に用いる場合に、高周波クロック発生手段(40)が 1 個で済むので、ハードウェアがその分簡素になる。

【 0 0 3 3 】

(4) 複数の感光体(6a~6d)および各感光体を帯電する手段；

上記 (1) 又は (3) に記載の同期信号発生器(135)；

該同期信号発生器(135)の各画素クロック発生器(51, 53 bk, m, c, y)が発生する各画素クロック(K, M, C, Y WCLK)に同期して各色作像用の画像信号を切換えて画像信号に対応した各色作像用の光ビームを出射する光変調手段(31y, m, c, bk)；

各色作像用の光ビームを各感光体に主走査投射する露光光学系(5)；

各感光体の静電潜像を各色トナーで可視像に現像する手段(7a~7d)；

各色可視像を重ねて用紙に転写する手段(10, 11a~11d)；

各色作像用の各色主走査ラインの先端部に出射した各色作像用の各光ビームを

検知し各色主走査ラインの先端検知信号を生成する先端同期検知手段(38ym, cbk) ;

各色作像用の各色主走査ラインの後端部に出射した各色作像用の各光ビームを検知し各色主走査ラインの後端検知信号を生成する後端同期検知手段(40ym, cbk) ; および、

少なくとも 1 色の主走査ラインの先端検知信号から後端検知信号までの間隔を計測し、計測値にしたがって該色宛ての第 1 組のデータ (A, B, C) を操作する主走査倍率補正手段(131) ;
を備える画像形成装置。

【 0 0 3 4 】

これによれば、上記 (1) 又は (3) に記載の作用効果が、画像形成装置において同様に得られる。

【 0 0 3 5 】

(5) 先端検知信号から後端検知信号までの間隔の計測は、先端検知信号が発生してから後端検知信号までの、前記高周波クロック (PLLCLK) の計数である ; 上記 (4) に記載の画像形成装置。

【 0 0 3 6 】

基準周期(0dot), それより長周期(+1/8dot)および短周期(-1/8dot)のパルスが高周波クロック (PLLCLK) を分周して生成されるものであり、主走査ライン長および画素幅の伸縮分布が、前記 3 種のパルス間の周期差に基いて調整されるので、間隔計測長が、周期差の単位と同一の単位となる。これにより、主走査ライン長および画素幅の伸縮分布を正確に (端数処理なしに) 行うことができ、主走査倍率補正および画素幅伸縮補正のいずれも高精度に出来る。

【 0 0 3 7 】

(6) 主走査倍率補正手段(131)は、基準色(bk)の光ビームに対する前記計測値が基準値に合致するように前記高周波クロック (PLLCLK) の周波数(M, N)を調整し、他色の光ビームに対しては、基準値に対する計測値の偏差に応じて、第 1 組のデータ (A, B, C) に含まれる長周期(+1/8dot)又は短周期(-1/8dot)のパルス(C)を挿入する画素数(A)および挿入間隔 (B) を調整する ; 上記 (5) 又は (6)

に記載の画像形成装置。

【0038】

これによれば、基準色(bk)に用いる画素クロックが、パルス周期単位となる高周波クロック(PLLCLK)の周波数(M,N)の調整により基準の主走査倍率となるように設定され、他色に用いる画素クロックは第1組のデータ(A,B,C)の操作によって、基準の主走査倍率になる様に設定される。これにより、基準色(bk)の主走査倍率が設計上の基準値に、そして他色の主走査倍率が基準色(bk)の主走査倍率に合せられる。この場合は、高周波クロック(PLLCLK)の周波数(M,N)の調整のためにPLLの設定値を変更するので、PLLが安定するまでにある程度の時間がかかり、主走査倍率補正に時間がかかる。しかし、画素クロックの基本周期が設計上の基準値となり、主走査倍率が設計上の基準値に定まる。

【0039】

(7)主走査倍率補正手段(131)は、ページ間での主走査倍率補正が指定されている場合は、該主走査倍率補正においては、各色作像用の光ビームのすべてに対して、基準値に対する前記計測値の偏差に応じて、第1組のデータ(A,B,C)に含まれる長周期(+1/8dot)又は短周期(-1/8dot)のパルス(C)を挿入する画素数(A)および挿入間隔(B)を調整する；上記(4)乃至(6)のいずれかに記載の画像形成装置。

【0040】

これによれば、全色の主走査倍率が個別に設計上の基準値に合せられる。この場合は、高周波クロック(PLLCLK)の周波数(M,N)の調整を行わないので、画素クロックの基本周期が設計上の基準値からずれて、その分長周期(+1/8dot)又は短周期(-1/8dot)のパルス(C)の数を調整することによって主走査倍率を基準値とあわせる結果となって全体的に画素幅が基準値とずれる可能性があるが、実際上はずれは僅少である。PLLの設定値は変更しないので、主走査倍率補正が短時間で終了、主走査倍率補正をページ間で実施することによる連続印刷時の生産性の低下が小さい。

【0041】

(8)複数の光源の各々から発生される光ビームの各々を画像信号によって変

調する手段(31y, m, c, bk)と、主走査ラインの基準となる同期検知信号を生成する先端同期検知手段(38ym, cbk)と、1ラインの後端の位置を検出する後端同期検知手段(40ym, cbk)を有し、複数の光ビームをスキャナ光学系を介して感光体上に照射することにより、感光体上に画像を形成し、先端同期検知信号(PSYNC N)と後端同期検知信号(PSYNC N)の間隔を測定し、測定結果によって主走査倍率補正を行う画像形成装置において、

基準クロックから設定値に応じた高周波クロック(PLLCLK)を発生する手段(40)と、前記高周波クロック発生手段(40)は複数の光ビームで共通であり、その高周波クロックを分周して、基準周期、基準周期より短い周期、基準周期より長い周期のクロックのうちいずれか1つを画素毎に発生する画素クロック発生手段(51y, m, c, bk)と

画素クロック発生手段に対して、1画素毎に指定情報(基準周期でない画素クロックを挿入する画素数、挿入間隔)を制御する画素クロック制御手段(53y, m, c, bk)を有し、画素クロック制御手段は、1ラインの倍率誤差を補正するために先端同期検知信号と後端同期検知信号間の間隔測定結果(A, B, C)に応じて画素クロックを補正する第1の制御部(倍率誤差補正部55y, m, c, bk)と、光学系の特性による伸縮歪みを補正するために予め取得した光学系の伸縮歪みデータ(A0-3, B0-3, C0-3)に応じて画素クロックを補正する第2の制御部(画素幅伸縮補正部56y, m, c, bk)と、主走査倍率補正データと画素幅伸縮補正データ(PWM1 [1:0], PWM2 [1:0])を合成する画素クロック補正データ合成部(54y, m, c, bk)からなり、基準周期でない画素クロックの画素数、間隔を調整することで各色間の色ズレを補正することを特徴とするカラー画像形成装置。

【0042】

これによれば、複数の光ビームの画素クロック生成部で共通のPLLを使用しているので、低コストで主走査倍率誤差補正が実現可能である。また、倍率誤差補正データに倍率偏差補正データを合成した画素クロック補正データによって画素クロックを生成しているので、色ズレの少ない画像を作成することができる。

【0043】

(9) 上記(8)において、先端同期検知信号と後端同期検知信号の間隔を計

測するクロックは前記高周波クロック(PLLCLK)とすることを特徴とするカラー画像形成装置。

【0044】

(10) 上記(8)において、主走査倍率補正を実施する前に基準色(bk)にて高周波クロック(PLLCLK)の周波数を調整することを特徴とするカラー画像形成装置。

【0045】

(11) 上記(8)～(10)において、ページ間で主走査倍率補正を実施する場合は、基準色(bk)も多色と同様に基準周期でない画素クロックを挿入する画素数、挿入間隔を制御することで主走査倍率補正を行うことを特徴とするカラー画像形成装置。これによれば、ページ間で主走査倍率補正を行う場合も、PLLの周波数を変更せずに実施するので、通常と同じページ間隔で印字でき、生産性を落とすことはない。

【0046】

本発明の他の目的および特徴は、図面を参照した以下の実施例の説明より明らかになる。

【0047】

【実施例】

図1に、本発明の一実施例の複合機能フルカラーデジタル複写機の外観を示す。このフルカラー複写機は、大略で、自動原稿送り装置(ADF)400と、操作ボード610と、カラスキャナ300と、カラープリンタ100と、給紙テーブル200の各ユニットで構成されている。機内のシステムコントローラ630(図2)には、パソコンPCが接続したLAN(Local Area Network)が接続されている。この複写機のシステムコントローラ630(図2)は、通信網(インターネット)に接続することができ、該通信網を介して、図示しない管理センタの管理サーバと通信してデータを交換することができる。また、機内のファクシミリコントローラFCU(図2)は、交換機PBXおよび公衆通信網PNを介して、ファクシミリ通信をすることが出来る。

【0048】

図2に、図1に示す複写機の、画像読み取り、画像処理、画像蓄積および画像形成、のシステム構成を示す。カラー原稿スキャナ300の、原稿を光学的に読み取る読取ユニット311は、原稿に対する原稿照明光源の走査を行い、SBU（センサボードユニット）のCCDに原稿像を結像する。原稿像すなわち原稿に対する光照射の反射光をCCDで光電変換してR、G、B画像信号を生成し、SBU上でRGB画像データに変換しかつシェーディング補正し、そして出力I/F（インターフェイス）312で画像データバスを介して画像データ処理器IPP（Image Processing Processor；以下では単にIPPと記述）に送出する。

【0049】

IPPは、分離生成（画像が文字領域か写真領域かの判定：像域分離）、地肌除去、スキャナガンマ変換、フィルタ、色補正、変倍、画像加工、プリンタガンマ変換および階調処理を行う。IPPは画像処理をおこなうプログラマブルな演算処理手段である。スキャナ300からIPPに転送された画像データは、IPPにて光学系およびデジタル信号への量子化に伴う信号劣化（スキャナ系の信号劣化）を補正され、フレームメモリ601に書き込まれる。

【0050】

システムコントローラ630は、スキャナアプリケーション、ファクシミリアプリケーション、プリンタアプリケーションおよびコピーアプリケーション等の複数アプリケーションの機能を有し、システム全体の制御を行う。操作パネル制御装置631は、操作ボード610の入力を解読して本システムの設定とその状態内容を表示する装置である。画像データバス／制御コマンドバスは、画像データと制御コマンドが時分割で転送されるバスである。

【0051】

システムコントローラ630のCPU605は、システムコントローラ630の制御を行う。ROM604にはシステムコントローラ630の制御プログラムが書かれている。RAM603は、CPU605が使用する作業用メモリである。NVRAM602は、不揮発性メモリであり、システム全体の情報の保管を行う。

【0052】

外部機器通信制御 606 は、画像読み取り、画像蓄積或いは画像印刷を要求する外部機器（たとえば同種の複写機、画像スキャナ、パソコン、プリンタ、ファクシミリ）ならびに管理センタの管理サーバとの通信制御を行うものであり、ネットワークに接続するための物理 I/F の制御を行う。ネットワーク接続された外部機器通信制御 606 がネットワークからデータを受信すると、電気的な信号より通信データの内容だけシステム I/F 607 に送る。システム I/F 607 では、規定されたプロトコルに従い受信データを論理変換し CPU 605 に送る。CPU 605 では、論理変換された受信データを判断し処理を行う。また、CPU 605 が、ネットワークにデータを送信する時は、受信とは逆の手順で、システム I/F 607、外部機器通信制御 606 に送信データが伝達され、電気信号としてネットワーク上に送出される。

【0053】

システム I/F 607 は、CPU 605 の命令によりシステム内で処理される、原稿読み取りデータ、ファクシミリ受信データ、パソコンのドキュメントデータ（印刷命令）の転送制御、ならびに、パソコンのドキュメントデータの印刷用のイメージデータ（画像データ）への変換と転送を行う。ワークメモリ 600 は、プリンタで使用する画像展開（ドキュメントデータからイメージデータへの変換）の作業用メモリである。フレームメモリ 601 は、電源が供給され続けている状態で即座に印刷される読み取り画像や書込み画像のイメージデータを、一時蓄える作業用メモリである。

【0054】

HDDC 650 は、システムのアプリケーションプログラムならびにプリンタ 100 の作像プロセス機器の機器付勢情報を格納するアプリケーションデータベース、ならびに、読取り画像や書込み画像のイメージデータ、すなわち画像データ、ならびにドキュメントデータを蓄える画像データベースとして用いられるハードディスク HDD とそのコントローラである。イメージデータおよびドキュメントデータは、符号化されたりドットイメージであったりする。FIFO バッファメモリ 609 は、入力画像をフレームメモリ 601 へ書込む時のデータ転送速度変換を行う。すなわち、転送元と転送先のデータ送出／受入れタイミングの差、転

送単位の水データ量の相違、転送速度差等を吸収するデータの一時蓄積を行い、転送元の転送タイミングおよび速度でデータを受け入れ、転送先の転送タイミングおよび速度でデータを送り出す。同様に F I F O バッファメモリ 6 0 8 は、フレームメモリ 6 0 1 の画像データを出力画像としてデータ転送する時の速度変換を行う。

【 0 0 5 5 】

メモリコントローラ 6 1 0 は、CPU 6 0 5 の制御なしにフレームメモリ 6 0 1 及び、HDDC 6 5 0 とバス間の画像の入出力をコントロールする。また、操作ボード 3 0 1 の入力装置 6 1 4 が受けたコマンドに応じて、フレームメモリ 6 0 1 を利用して、HDDC に蓄積している画像の編集、加工あるいは画像合成を行う。メモリコントローラ 6 1 0 は、HDDC 6 5 0 の HDD からワークメモリ 6 0 0 又はフレームメモリ 6 0 1 への画像情報の読出しと、おもに画像データアドレス変更操作による、転写紙に対する画像の印刷方向の変更、画像の回転、画像の組み合わせ編集と、画像データに対する設定値の加減乗除による濃度変換、画像データ同士の論理積演算や論理和演算による画像トリミングおよび合成と、このように処理した画像情報の HDD への書込みとによって、各種の画像加工および編集を行うことができる。

【 0 0 5 6 】

CPU 6 1 7 は、操作ボード 6 1 0 の入出力制御を行う。すなわち、操作ボード 6 1 0 の入力読込みおよび表示出力を制御する。ROM 6 1 6 には、操作ボード 6 1 0 の制御プログラムが書かれている。RAM 6 1 8 は、CPU 6 1 7 で使用する作業用メモリである。6 1 4 は、操作ボード 6 1 0 の入力キーおよび入力パネルを操作して使用者がシステム設定の入力を行う入力装置である。表示装置 6 1 5 は、操作ボード 6 1 0 にあって、使用者にシステムの設定内容、状態を表示するものであり、表示灯および入力機能がある表示パネル（液晶タッチパネル）を含む。

【 0 0 5 7 】

作像ユニット P T R の作像機構は図 3 に示すものであり、すでに説明したものである。また、作像ユニット P T R の露光器 5 は図 4 に示すものであり、すでに説明

したものである。

【0058】

図5に、露光器5のLDユニット31bk, c, m, yで光ビームを変調する画像信号の切換えに用いる画素同期クロック* WCLKおよびライン同期信号* PSYN CNを発生する同期信号発生器135を示す。この同期信号発生器135は、図2に示す作像ユニットPTRの露光制御板（図示せず）上にあるものである。

【0059】

図5において、PLL部40は、全色に共通の1個であり、その構成は、図14に示す従来のもの（たとえば40bk）と同一である。

【0060】

K(bk)用の画素クロック発生部51bkは、PLL部40からの高周波クロックPLLCLKを分周し、画素クロックK WCLKを生成するが、入力される選択データK PWMDAT(又は単にPWMDATと表記)に応じて、基準周波数の周期、それより短い周期および長い周期のうちどれかのパルスを選択的に出力する構成である。すなわち画素クロック発生部51bkは、図示はしないが、高周波クロックPLLCLKをダウンカウントする画素クロック生成カウンタ（プリセットダウンカウンタ）、画素クロック制御53bkが与える選択データK PWMDATを保持するためのラッチ、このラッチが保持するデータK PWMDATを、それが「0h」（十進数の0）であると数値7を表わすデータを発生し、「1h」（十進数の1）であると数値8を表わすデータを発生し、「3h」であると数値6をあらわすデータを発生して、該画素クロック生成カウンタにロードデータとして与えるエンコード、および、画素クロック生成カウンタのカウントデータが数値0を表わすものになってから到来した高周波クロックPLLCLKに同期して該画素クロック生成カウンタに該エンコードが出力する数値データをロードするとともに、画素クロックK WCLK（を出力する信号ライン）を高レベルHとし、該画素クロック生成カウンタがロードした数値（7, 8又は6）から、高周波クロックPLLCLKの1パルス到来毎に1をデクレメントしたカウントデータ（残値データ）が4から3に切換わると画素クロックK WCLKを低レベルLとするカウント制御回路を含む。これにより、該画素クロック生成カウンタのカウントデータが、例えば図7に示すように、選択データ

K PWMDATに応じて7～0, 8～0又は6～0と変化し、高周波クロックPLLCLKを8分周, 9分周又は7分周した画素クロックWCLKが、画素クロック発生部51bkから出力される。8分周したパルスは0dotパルスと、9分周したパルスを $-1/8$ dotパルスと、7分周したパルスを $+1/8$ dotパルスと表現する。 $-1/8$ dotパルスの周期は0dotパルスの周期よりも高周波クロックPLLCLKの1周期分短く、 $+1/8$ dotパルスは1周期分長い。

【0061】

図7は、画素クロック発生部51bkの入力PLLCLKおよびK PWMDATと、上記画素クロック生成カウンタのカウントデータが表す値および出力WCLKとの関係を示す。例として、選択データK PWMDAT [1:0]が‘0h’の場合は8分周、‘1h’の場合は9分周、‘3h’の場合は7分周の分周パルスを、画素クロックK WCLKとして選択出力する。この画素クロックK WCLKに同期して最終的にK (bk) 作像用のレーザの変調に用いる画像信号を切替えるので、‘1h’が入力された画素は1/8画素クロック (PLLCLKの1周期) 分長くなり、‘3h’が入力された画素は1/8画素クロック (PLLCLKの1周期) 分短くなる。

【0062】

図5を再度参照する。内部同期信号生成部52bkでは、同期センサ38bkc, 40bkcの同期検知信号K DETP Nの先端検知信号を基点とし、画素クロックK WCLKに同期した主走査同期検知信号すなわちライン同期信号K PSYNC Nを生成する。

【0063】

画素クロック制御53bkでは、1ライン全体の倍率誤差補正を行う主走査倍率補正データPWM1を生成するPWM1データ生成部55bkと、光学系の特性による1ライン中の部分的な伸縮歪みを補正するための画素幅伸縮補正データPWM2を生成するPWM2データ生成部56bkと、それらの補正データを合成して最終的な補正データすなわち選択データK PWMDATを生成する画素クロック補正データ合成部54bkからなる。

【0064】

図6は、画素クロック制御53bkの構成を更に細かく示したブロック図であ

り、図 8 に P W M 1 データ生成部 5 5 b k が発生して補正データ合成部 5 4 b k に与える主走査倍率補正データ P W M 1 の推移を、図 9 に P W M 2 データ生成部 5 6 b k が発生して補正データ合成部 5 4 b k に与える画素幅伸縮補正データ P W M 2 の推移を、また、図 10 には、補正データ合成部 5 4 b k の入力データ P W M 1, P W M 2 と合成出力データ K P W M D A T の推移を示す。

【0065】

図 6 および図 8 を参照する。P W M 1 データ生成部 5 5 b k には、プリンタ 1 0 0 (図 2) に電源が投入され、その直後にプロセスコントローラ 1 3 1 が実行する初期化の一過程で、不揮発メモリ 1 3 3 b (図 2) に登録している P W M 1 設定データ (実ライン長調整のために 1 ライン上に分散分布する基準周期でない画素 (短周期パルス割当画素又は長周期パルス割当画素) の分布周期 B, 1 ライン上の該周期 B の数 A および該基準周期 (基準周期パルス) でない画素の周期 (短周期パルス又は長周期パルス) を指定するデータ C が、P W M 1 データ生成部 5 5 b k にある図示しないラッチに設定 (書込; 保持; セット; 設定) される。A × B が、1 ラインに割当ててる画素数 (K W C L K の数) すなわち、主走査倍率を決定する画素数 (画素への分割数) であり、その全体の長さを、分布周期 B × (データ C で指定する周期の、基準周期に対する偏差 = P L L C L K の 1 周期) で調整することが出来る。該偏差 = P L L C L K の 1 周期は、正值 (長周期パルス) 又は負値 (短周期パルス) である。

【0066】

内部同期検知信号 K P S Y N C N が入力されると、P W M 1 パルス数カウンタ 5 8 が周期の数 A をロードして、周期カウントオーバ信号 P W M 1 P L S のカウントダウンを開始するが、P W M 1 周期カウンタ 5 7 にカウント許可信号を与える。これにより P W M 1 周期カウンタ 5 7 が、分布周期 B をロードして画素クロック K W C L K のカウントダウンと、分布周期 B までカウントダウンするとまた分布周期 B をロードして画素クロック K W C L K のカウントダウンを行う循環カウントを行う。P W M 1 周期カウンタ 5 7 のカウントデータが 1 (残値 1) となるとこれを表わす信号 P W M 1 P L S (= H) を発生する。この信号がある間、P W M 1 データ出力部 5 9 が、データ C (1 又は 3) を、主走査倍率補正データ P W M 1 として補正データ合成

部 5 4 b k に出力する。この信号がない期間 (PWM1PLS=L) では、PWM1 データ出力部 5 9 は、基準周期のパルス指定するデータ 0 を主走査倍率補正データ PWM1 として補正データ合成部 5 4 b k に出力する。

【0067】

PWM1 パルス数カウンタ 5 8 は、前記信号 PWM1PLS (=H) の到来数を、ロードした周期数 A からダウンカウントし、カウント値が 0 になると、PWM1 周期カウンタ 5 7 に与えているカウント許可信号を消去する。すなわち、カウント禁止レベルに切替える。これにより、画素クロック K WCLK が $A \times B$ 個到来している間、PWM1PS パルスが発生し、周期 B で、画素クロック K WCLK の 1 周期間のみ、主走査倍率補正データ PWM1 が、基準周期パルス (0 dot) を指定するデータ 0 から、長周期パルス ($+1/8$ ドット) 又は短周期パルス ($-1/8$ ドット) を指定するデータ C (1 又は 3) に切替る (図 8)。

【0068】

本実施例では、上述のように、 $A \times B$ で 1 ライン上の画素数を定め、A と B と C で 1 ラインの画素列の長さを調整する。「基準周期 $\times A \times B \times$ 主走査速度」が 1 ラインの画素列の基準長さである。基準周期に対するデータ C が指定する長周期又は短周期の差 (PLLCLK の 1 周期) を d Pw とすると、「 $d Pw \times (A/B)$ \times 主走査速度」が、基準長さに対する調整による増、減長となる。

【0069】

図 6 および図 9 を参照する。PWM2 データ生成部 5 6 b k には、プリンタ 1 0 0 (図 2) に電源が投入され、その直後にプロセスコントローラ 1 3 1 が実行する初期化の一過程で、不揮発メモリ 1 3 3 b (図 2) に登録している PWM2 設定データ (例として 1 ラインを 4 分割する場合は、1 ラインの分割数 D (=4), 第 1 区間長 A 0, 第 2 区間長 A 1, 第 3 区間長 A 2, 第 4 区間長 A 3; 第 1 分布周期 B 0, 第 2 分布周期 B 1, 第 3 分布周期 B 2, 第 4 分布周期 B 3; および、第 1 画素周期 C 0, 第 2 画素周期 C 1, 第 3 画素周期 C 2, 第 4 画素周期 C 3) が、PWM2 データ生成部 5 6 b k にある図示しないシフトレジスタ型の複数段構成のラッチに設定される。

【0070】

内部同期検知信号K PSYNC Nが入力されると、PWM2エリアカウンタ60が分割数Dをロードして、区間数のカウントを開始するが、カウントデータD=4をPWM2パルス数カウンタ62に与える。これによりPWM2パルス数カウンタ62が、ラッチにある、与えられるカウントデータ(4)に対応付けられている第1区間長A0をロードして、周期カウントオーバ信号PWM2PLSのカウントダウンを開始し、かつ、PWM2周期カウンタ61にカウント許可信号を与える。これによりPWM2周期カウンタ61が、第1分布周期B0をロードして画素クロックK WCLKのカウントダウンと、分布周期B0までカウントダウンするとまた分布周期B0をロードして画素クロックK WCLKのカウントダウンを行う循環カウントを行う。PWM1周期カウンタ61のカウントデータが1(残値1)となるとこれを表わす信号PWM2PLS(=H)を発生する。この信号がある間、PWM2データ出力部63が、第1画素周期C0を、画素幅伸縮補正データPWM2として補正データ合成部54bkに出力する。この信号がない期間(PWM2PLS=L)では、PWM2データ出力部63は、基準周期を指定するデータ0を画素幅伸縮補正データPWM2として補正データ合成部54bkに出力する。

【0071】

PWM2パルス数カウンタ62は、前記信号PWM2PLS(=H)をロードした周期の数A0からダウンカウントし、カウント値が0になると、キャリー信号をPWM2エリアカウンタ60に与える。これによってPWM2エリアカウンタ60のカウントデータがD-1(=3)に切換わる。これに応答してPWM2パルス数カウンタ62が、今度は第2区間長A1をロードし、PWM2周期カウンタ61に再度カウント許可信号を与える。PWM2周期カウンタ61は、再度のカウント許可信号に応答して第2分布周期B1をロードして画素クロックK WCLKのカウントダウンと、分布周期B1までカウントダウンするとまた分布周期B1をロードして画素クロックK WCLKのカウントダウンを行う循環カウントを行う。PWM2周期カウンタ61のカウントデータが1(残値1)となるとこれを表わす信号PWM2PLS(=H)を発生する。この信号がある間、PWM2データ出力部63が、第2画素周期C1を、画素幅伸縮補正データPWM2として補正データ合成部54bkに出力する。この信号がない期間(PWM2PLS=L)では、PWM2データ

出力部 63 は、基準周期を指定するデータ 0 を画素幅伸縮補正データ PWM2 として補正データ合成部 54 b k に出力する。

【0072】

PWM2 パルス数カウンタ 62 は、前記信号 PWM2PLS (=H) をロードした周期の数 A1 からダウンカウントし、カウント値が 0 になると、キャリア信号を PWM2 エリアカウンタ 60 に与える。これによって PWM2 エリアカウンタ 60 のカウントデータが D-2 (=2) に切換わる。これに応答して PWM2 パルス数カウンタ 62 が、今度は第 3 区間長 A2 をロードし、PWM2 周期カウンタ 61 に再度カウント許可信号を与える。以下同様にして、今度は、PWM2 周期カウンタ 61 は、再度のカウント許可信号に応答して第 3 分布周期 B2 をロードして第 3 分布周期 B2 の循環カウントを行う。PWM2 周期カウンタ 61 のカウントデータが 1 (残値 1) となるとこれを表わす信号 PWM2PLS (=H) を発生する。この信号がある間、PWM2 データ出力部 63 が、第 3 画素周期 C2 を、画素幅伸縮補正データ PWM2 として補正データ合成部 54 b k に出力する。

【0073】

PWM2 パルス数カウンタ 62 は、前記信号 PWM2PLS (=H) をロードした周期の数 A2 からダウンカウントし、カウント値が 0 になると、キャリア信号を PWM2 エリアカウンタ 60 に与える。これによって PWM2 エリアカウンタ 60 のカウントデータが D-3 (=1) に切換わる。これに応答して PWM2 パルス数カウンタ 62 が、今度は第 4 区間長 A3 をロードし、PWM2 周期カウンタ 61 に再度カウント許可信号を与える。そして PWM2 周期カウンタ 61 は、再度のカウント許可信号に応答して第 4 分布周期 B3 をロードして第 3 分布周期 B3 の循環カウントを行う。PWM2 周期カウンタ 61 のカウントデータが 1 (残値 1) となるとこれを表わす信号 PWM2PLS (=H) を発生する。この信号がある間、PWM2 データ出力部 63 が、第 4 画素周期 C3 を、画素幅伸縮補正データ PWM2 として補正データ合成部 54 b k に出力する。

【0074】

PWM2 パルス数カウンタ 62 は、前記信号 PWM2PLS (=H) をロードした周期の数 A3 からダウンカウントし、カウント値が 0 になると、キャリア信号を P

WM2 エリアカウンタ 60 に与える。これによって PWM2 エリアカウンタ 60 のカウントデータが D-4 (=0) に切換わる。このカウントデータ (0) は、カウント不許可を意味する。これに応答して PWM2 パルス数カウンタ 62 がカウント動作を停止し、PWM2 周期カウンタ 61 のカウント動作も停止する。

【0075】

以上に説明した動作により、画素クロック K WCLK が $A_0 \times B_0$ 個到来する間の第 1 区間では、図 9 に示すように、周期 B_0 で、画素クロック K WCLK の 1 周期間のみ、画素幅伸縮補正データ PWM2 が、基準周期パルス进行指定するデータ 0 から、長周期パルス又は短周期パルスを指定するデータ C_0 に切換る。次の、画素クロック K WCLK が $A_1 \times B_1$ 個到来する間の第 2 区間では、図 9 に示すように、周期 B_1 で、画素クロック K WCLK の 1 周期間のみ、画素幅伸縮補正データ PWM2 が、基準周期パルスを指定するデータ 0 から、長周期パルス又は短周期パルスを指定するデータ C_1 に切換る。次の、画素クロック K WCLK が $A_2 \times B_2$ 個到来する間の第 3 区間では、図 9 に示すように、周期 B_2 で、画素クロック K WCLK の 1 周期間のみ、画素幅伸縮補正データ PWM2 が、基準周期パルスを指定するデータ 0 から、長周期パルス又は短周期パルスを指定するデータ C_2 に切換る。そして最後の、画素クロック K WCLK が $A_3 \times B_3$ 個到来する間の第 4 区間では、図 9 に示すように、周期 B_3 で、画素クロック K WCLK の 1 周期間のみ、画素幅伸縮補正データ PWM2 が、基準周期を指定するデータ 0 から、長周期パルス又は短周期パルスを指定するデータ C_3 に切換る。

【0076】

図 6 および図 10 を参照する。画素クロック補正データ合成部 54 b k では、主走査倍率補正データ PWM1 と画素幅伸縮補正データ PWM2 を合成して、最終的な補正データすなわち選択データ PWMDAT[1:0] を発生して画素クロック発生部 51 b k に出力する。補正データ合成部 54 b k は、大略では、 $PWMDAT[1:0] = PWM1 + PWM2$ 、なる加算で合成する。すなわち、PWM1、PWM2 および PWMDAT[1:0] のデータを

$$0h, 4h : \pm 0dot, \quad 1h : +1/8dot, \quad 3h : -1/8dot$$

とすると、1 画素において $\pm 2/8dot$ 以上の補正を行わないように、2 つ補正デー

タを加算した結果が $\pm 2/8\text{dot}$ になった場合には、次画素に分割して出力する。具体的に説明すると、PWM1, PWM2およびPWMDAT[1:0]のデータを次のように設定している：

基本周期パルス（高周波クロックPLLCLKの8分周）を指定するデータ：数値0（図10上ではこれが当てられた画素を $\pm 0\text{dot}$ と表現），

長周期パルス（PLLCLKの7分周）を指定するデータ：数値1（図10上ではこれが当てられた画素を $+1/8\text{dot}$ と表現），

短周期パルス（PLLCLKの9分周）を指定するデータ：数値3（図10上ではこれが当てられた画素を $-1/8\text{dot}$ と表現），かつ、

加算結果の4は、 $1+3$ 又は $3+1$ であって、 $(+1/8\text{dot}) + (-1/8\text{dot}) = 0\text{dot}$ となるので、0（ $\pm 0\text{dot}$ ）にエンコードする。また、2は、 $1+1$ であって、 $(+1/8\text{dot}) + (+1/8\text{dot}) = +2/8\text{dot}$ となり、1画素では表現できないので、1とエンコードして、余りの1を次の画素に繰越し加算する。

【0077】

加算結果の0は、そのまま0（ $\pm 0\text{dot}$ ）し、加算結果の1もそのまま1（ $+1/8\text{dot}$ ）とする。加算結果の3はそのまま3（ $-1/8\text{dot}$ ）とし、加算結果の6は1画素では表現できないので、3（ $-1/8\text{dot}$ ）として余りの3を次の画素に繰越し加算する。

【0078】

この加算演算とエンコード（データ変換；符号化）により、図10に示す選択データPWMDAT[1:0]（1～0の各ビット合せて3ビットのデータ）を、画素クロック補正データ合成部54bkが発生して、図5に示す画素クロック発生部51bkに出力する。画素クロック発生部51bkは、すでに説明したが、選択データPWMDAT[1:0]に対応して図7に示すように、PWMDAT[1:0]が数値0（基準周期パルス）を表わすデータのときには、高周波クロックPLLCLKの連続4周期の間高レベルH、次の連続4周期の間低レベルLの、高周波クロックPLLCLKを8分周（周波数を $1/8$ に分周）した画素クロックK WCLKを出力する。PWMDAT[1:0]が数値1（9分周：長周期パルス）を表わすデータのときには、高周波クロ

ックPLLCLKの連続5周期の間高レベルH、次の連続4周期の間低レベルLの、高周波クロックPLLCLKを9分周した画素クロックK WCLKを出力する。PWMDAT[1:0]が数値3（7分周：短周期パルス）を表わすデータ有的时候には、高周波クロックPLLCLKの連続3周期の間高レベルH、次の連続4周期の間低レベルLの、高周波クロックPLLCLKを7分周した画素クロックK WCLKを出力する。

【0079】

なお、選択データPWMDAT[1:0]を、主走査倍率補正データPWM1と画素幅伸縮補正データPWM2の加算値とするので、画素幅伸縮補正データPWM2の設定（図9）によつては、主走査倍率補正データPWM1によつて設定した1ライン上画素数と画素列の長さからのずれを生ずる可能性があるので、 $A \times B = A_0 \times B_0 + A_1 \times B_1 + A_2 \times B_2 + A_3 \times B_3$ とする。また、画素幅伸縮補正によつてライン長が伸縮しないように、1ライン上のC0～C3の全体は、同数の長周期パルスと短周期パルスでなるものとする。

【0080】

図5に示すように、同期信号発生器135には、上述の、K（bk）用同期信号（画素クロックK WCLKおよびライン同期信号K PSYNC N）を発生するための画素クロック発生部51bk、内部同期信号生成部52bkおよび画素クロック制御53bkの組合せ（ユニット）、ならびに、それと同一構成同一機能の、M（m）用のもの51m、52mおよび53m；C（c）用のもの51c、52cおよび53c；ならびに、Y（y）用のもの51y、52yおよび53y；がある。

【0081】

前述の、PWM1設定データ（実ライン長調整のために1ライン上に分散分布する基準周期でないパルス（画素）の分布周期B、1ライン上の該周期の数Aおよび該基準周期でないパルス（の周期）を指定するデータC）は、本実施例ではオペレータが不揮発メモリ133b（図2）に登録することが出来、また、プロセスコントローラ131が自動的に更新できる。

【0082】

前述のPWM2設定データ（例として1ラインを4分割に分けた場合は、1ライン

の分割数D (=4), 第1区間長A0, 第2区間長A1, 第3区間長A2, 第4区間長A3; 第1分布周期B0, 第2分布周期B1, 第3分布周期B2, 第1分布周期B3; および、第1画素周期C0, 第2画素周期C1, 第3画素周期C2, 第4画素周期C0) は、本実施例ではオペレータが不揮発メモリ133b (図2) に登録しているものである。

【0083】

操作ボード610の入力装置614 (図2) にある初期設定キー (図示略) をオペレータが操作すると、CPU617が、初期設定メニューを表示装置615に表示する。このメニューの中の、主走査倍率補正をオペレータが選択すると、CPU617が、主走査倍率補正の手動設定、主走査倍率補正の印刷コマンド毎の自動設定、および、主走査倍率補正の印刷ページ毎の自動設定、のいずれかを選択するための入力画面を表示装置615に表示する。そこでオペレータが主走査倍率補正の手動設定を選択すると、CPU617が、システムコントローラ630およびプロセスコントローラ131を介して、不揮発メモリ133bからPWM1設定データテーブルを読み出して、その中のK (bk), C (c), M (m), Y (y) それぞれのPWM1設定データ (B, AおよびC) を表示装置615に表示する。オペレータが所定の操作で設定データを変更して、画面上のエンターキーを操作すると、CPU617が表示装置615に展開表示しているPWM1設定データをPWM1設定データテーブルに更新書込みして、該PWM1設定データテーブルを、システムコントローラ630およびプロセスコントローラ131を介して、不揮発メモリ133bに転送して該不揮発メモリ133bに更新書込みする。そして、主走査倍率補正の手動設定の選択 (であること) を不揮発メモリ133bに登録する。

【0084】

主走査倍率補正の印刷コマンド毎の自動設定をオペレータが選択したときには、CPU617はこの選択を、システムコントローラ630およびプロセスコントローラ131を介して不揮発メモリ133bに登録する。主走査倍率補正の印刷ページ毎の自動設定をオペレータが選択したときには、CPU617はこの選択を、システムコントローラ630およびプロセスコントローラ131を介して

不揮発メモリ 133b に登録する。

【0085】

初期設定メニューの中の色ずれ補正をオペレータが選択すると、CPU 617 が、色ずれ補正メニューを表示装置 615 に表示する。該メニューの中の画素幅伸縮補正をオペレータが選択すると、CPU 617 が、システムコントローラ 630 およびプロセスコントローラ 131 を介して、不揮発メモリ 133b から PWM2 設定データテーブルを読み出して、その中の K (bk), C (c), M (m), Y (y) それぞれの PWM2 設定データ (D, A0~3, B0~3, C0~3) を表示装置 615 に表示する。オペレータが所定の操作で設定データを変更して、画面上のエンターキーを操作すると、CPU 617 が表示装置 615 に展開表示している PWM2 設定データを PWM2 設定データテーブルに更新書込みして、該 PWM2 設定データテーブルを、システムコントローラ 630 およびプロセスコントローラ 131 を介して、不揮発メモリ 133b に転送して該不揮発メモリ 133b に更新書込みする。

【0086】

ここで、画素幅伸縮補正に用いる PWM2 設定データの決定態様の一例を説明する。例えば、1 ラインの総画素数が 10000 画素で光学系の特性に応じて 1 ラインを 4 分割に分割した場合 (D=4) に、図 13 のように、2500, 5000, 7500 画素 (dot) の時点で理想値に対して主走査位置が $75\mu\text{m}$, $85\mu\text{m}$, $75\mu\text{m}$ 長くなっている場合を例にする。

【0087】

画素密度が 600 dpi で、画素クロックの補正単位が $\pm 1/8\text{ dot}$ とすると、1 エリア内に $1/8\text{ dot}$ 長く (短く) する画素を 1 画素挿入すると画像位置を約 $5.29\mu\text{m}$ 長く (短く) することができる。2500 画素の位置では、理想値に対して $75\mu\text{m}$ 長くなっているので、2500 画素に到達するまでに $14/8\text{ dot}$ 補正すれば良い。エリア (区間) 0 の設定データは、

A0 (パルス数) = 14,

B0 (周期) = $2500/14 = 178$ ($A0 * B0 \leq 2500$),

C0 (補正データ) = 3

となる。

【0088】

5000画素に到達するまでには $-16/8 \text{ dot}$ 補正すれば良いが、エリア0で $-14/8 \text{ dot}$ 補正しているので、エリア1では $-2/8 \text{ dot}$ 補正することになる。エリア1の設定データは、

A1 (パルス数) = 2,

B1 (周期) = $2500/2 = 1250$ ($A1 \times B1 \leq 2500$),

C1 (補正データ) = 3

となる。

【0089】

同様にエリア2では $+2/8 \text{ dot}$ 、エリア3では $+14/8 \text{ dot}$ 補正すれば、全体の倍率は変化することなく、部分的な倍率偏差補正ができることになる。設定データは以下ようになる：

A2 (パルス数) = 2、B2 (周期) = $2500/2 = 1250$ ($A2 \times B2 \leq 2500$)、C2 (補正データ) = 1

A3 (パルス数) = 14、B3 (周期) = $2500/14 = 178$ ($A3 \times B3 \leq 2500$)、C3 (補正データ) = 1。このようにして得たデータD、A0～A3、B0～B3およびC0～C3を、前述の初期設定を利用して、不揮発メモリ133bのPWM2設定データテーブルに登録する。

【0090】

図11に、上述の初期設定によって主走査倍率補正の印刷コマンド毎の自動設定の選択が登録されているときに、操作ボード610、PCあるいはFCUからコピースタート、印刷スタートなどの印刷コマンドに応答してプロセスコントローラ131が実行する主走査倍率補正の概要を示す。ここでプロセスコントローラ131はまず、不揮発メモリ133bのPWM2設定データテーブルのデータを読み出してレジスタ(RAMの1領域)にセーブ(書込み)する(s1)。

【0091】

次に、基準色にて、2つの同期検知間隔、すなわち始端センサ(38bk, 38ym)が光ビームを検知してから終端センサ(40bk, 40ym)が光ビ

ームを検知するまでの間隔を、高周波クロックPLLCLKを計数することによって測定する。基準色を黒(K/bk)とすると、黒の測定値が基準値とが一致するようにPLL部40の設定値M、Nの値を変更して、黒の主走査倍率誤差を調整する(s2~S4)。

【0092】

同様に、他色(マゼンタM、シアンC、イエローY)の同期検知間隔測定を行い、例えば、マゼンタMの測定値が基準値に対して、4個多かった場合は、基準に対して4/8画素だけ短いの、4/8画素増やせば倍率が合うことになり、マゼンタMに対してはA=4、C=1を設定する。Bの値は、1ラインの総画素数から1ライン中に+1/8dotの画素を4個入れる場合に最適な間隔を設定する。例えば、総画素数が10000画素の場合には、2500画素に1回の間隔で挿入すれば良いのでB=2500となる。このような処理を、シアンC、イエローYにも実施する(s5~S13)。

【0093】

このようにして得た各色宛てのデータを不揮発メモリ133bのPWM2設定データテーブルに登録し、かつ、PWM1データ生成部55bk, 55m, 55cおよび55yにラッチする。

【0094】

このデータ設定にしたがって書き込み動作を行えば、倍率が合った色ズレのない画像を得ることができる。

【0095】

上述の初期設定によって主走査倍率補正の印刷ページ毎の自動設定の選択が不揮発メモリ133bに登録されている場合には、プロセスコントローラ131は、印刷コマンドが到来したときに図12に示す主走査倍率補正を行う。ここではまず不揮発メモリ133bのPWM2設定データテーブルのデータを読み出してレジスタ(RAMの1領域)にセーブ(書き込み)する(s1)。

【0096】

次に、黒(K/bk)の、2つの同期検知間隔、すなわち始端センサ(38bk, 38ym)が光ビームを検知してから終端センサ(40bk, 40ym)

が光ビームを検知するまでの間隔を、高周波クロックPLLCLKを計数することによって測定し、基準値に対する測定値偏差に対応して、黒のPWM1データ(A, B, C)を調整する(s2~s4a)。このような処理を、マゼンダM, シアンC、イエローYにも実施する(s5~S13)。そして、第2ページ以下の各ページの印刷を開始する前に、図12のステップs3~s13を実行する。

【0097】

ページ間で主走査倍率補正を行う場合には、PLL部40の周波数を変更すると(図11のs2~s4)、ページ間の作像開始の待ち時間が長くなってしまうので、主走査倍率補正の印刷ページ毎の自動設定の選択がある場合には、上述の図12のように、高周波クロックPLLCLK(M, N)は変更せず、黒(基準色)についても他色と同様にA, B, Cの値を調整する(s2~S4a)。これにより、生産性を落とさずに倍率補正が可能になる。

【0098】

【発明の効果】

第1組のデータ(A, B, C)の調整によって主走査倍率を補正できる。また、第2組のデータ(A0~3, B0~3, C0~3, D)の調整によって画素幅伸縮を補正できる。合成手段(54)が第1選択信号(PWM1)および第2選択信号(PWM2)を合成して前記出力選択信号(PWMDAT)を生成し前記画素クロック発生手段(51)に出力するので、主走査倍率補正および画素幅伸縮補正の両方が可能である。

【0099】

高周波クロック発生手段(40)が1個で済むので、ハードウェアがその分簡素になる。

【0100】

あるいは、合成手段(54)が第1選択信号(PWM1)と第2選択信号(PWM2)とを加算により合成するので、第1選択信号(PWM1)と第2選択信号(PWM2)とをラインメモリ上に展開する必要はなく、メモリを節約できるし、ラスタ形式で発生する(時系列で推移する)第1選択信号(PWM1)と第2選択信号(PWM2)をリアルタイムで合成できる。すなわち、第1選択信号(PWM1)と第2選択信号(PWM2)のメモリに対する読書きを省略して、信号処理を簡素に出来る。

【0101】

あるいは、色ズレの少ない多色重ねのカラー画像を作成することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例であるフルカラー複写機の外観を示す正面図である。

【図2】 図1に示すカラー複写機の画像データ処理システムの概要を示すブロック図である。

【図3】 図1および図2に示すプリンタ100の作像ユニットPTRの作像機構の概要を示す拡大縦断面図である。

【図4】 図3に示す露光器5の拡大平面図である。

【図5】 図2に示す作像ユニットPTRにあって、図4に示すLDユニット31bk, c, m, yに画素クロックおよびライン同期信号を与える同期信号発生器135の構成を示すブロック図である。

【図6】 図5に示す画素クロック制御53bkの構成を示すブロック図である。

【図7】 図5に示す画素クロック発生部51bkの入力PLLCLKと、出力画素クロックWCLKの時系列推移を示すタイムチャートである。

【図8】 図6に示すPWM1データ生成部55bkが発生する第1選択信号PWM1の時系列推移を示すタイムチャートである。

【図9】 図6に示すPWM2データ生成部56bkが発生する第2選択信号PWM2の時系列推移を示すタイムチャートである。

【図10】 図6に示す画素クロック補正データ合成部54bkが発生する出力選択信号PWMDATの時系列推移を示すタイムチャートである。

【図11】 図2に示すプロセスコントローラ131の、主走査倍率補正の一態様を示すフローチャートである。

【図12】 図2に示すプロセスコントローラ131の、主走査倍率補正のもう1つの態様を示すフローチャートである。

【図13】 露光走査光学系の歪による、1主走査ライン上の画素幅のずれ分布を示すグラフである。

【図 1 4】 同期信号発生器の一従来例を示すブロック図である。

【符号の説明】

5：書込みユニット 6 a～6 d：感光体ドラム

7 a～7 d：現像器 8：給紙カセット

9：駆動ローラ 1 0：転写ベルト

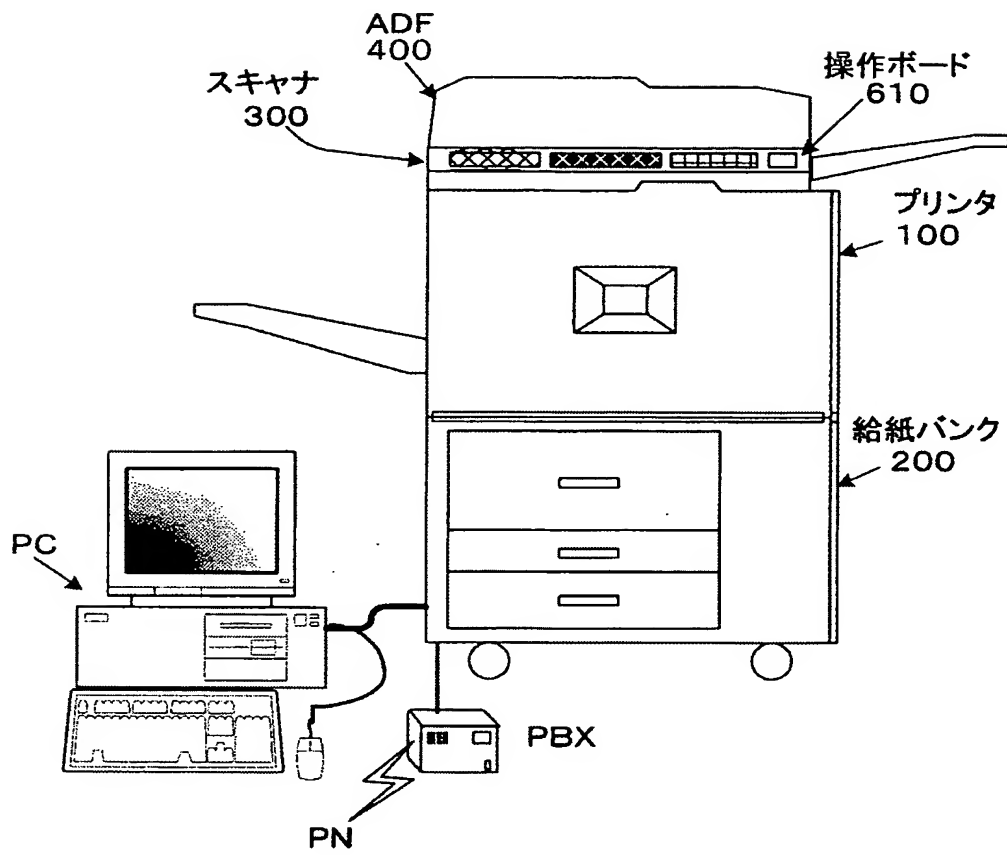
1 1 a～1 1 d：転写器 1 2：定着装置

1 3 a：テンションローラ

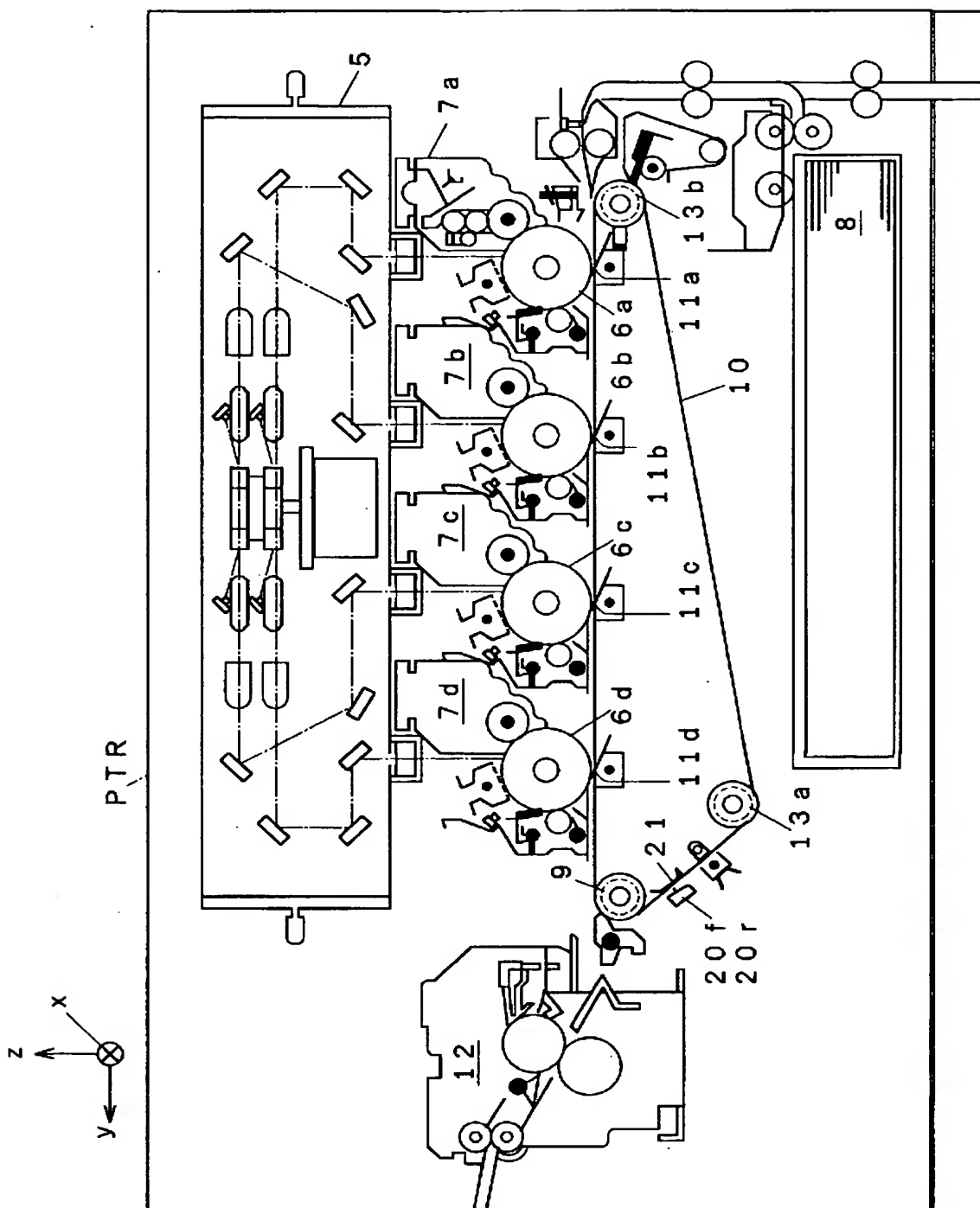
1 3 b：従動ローラ 2 0 r, 2 0 f：光センサ

【書類名】 図面

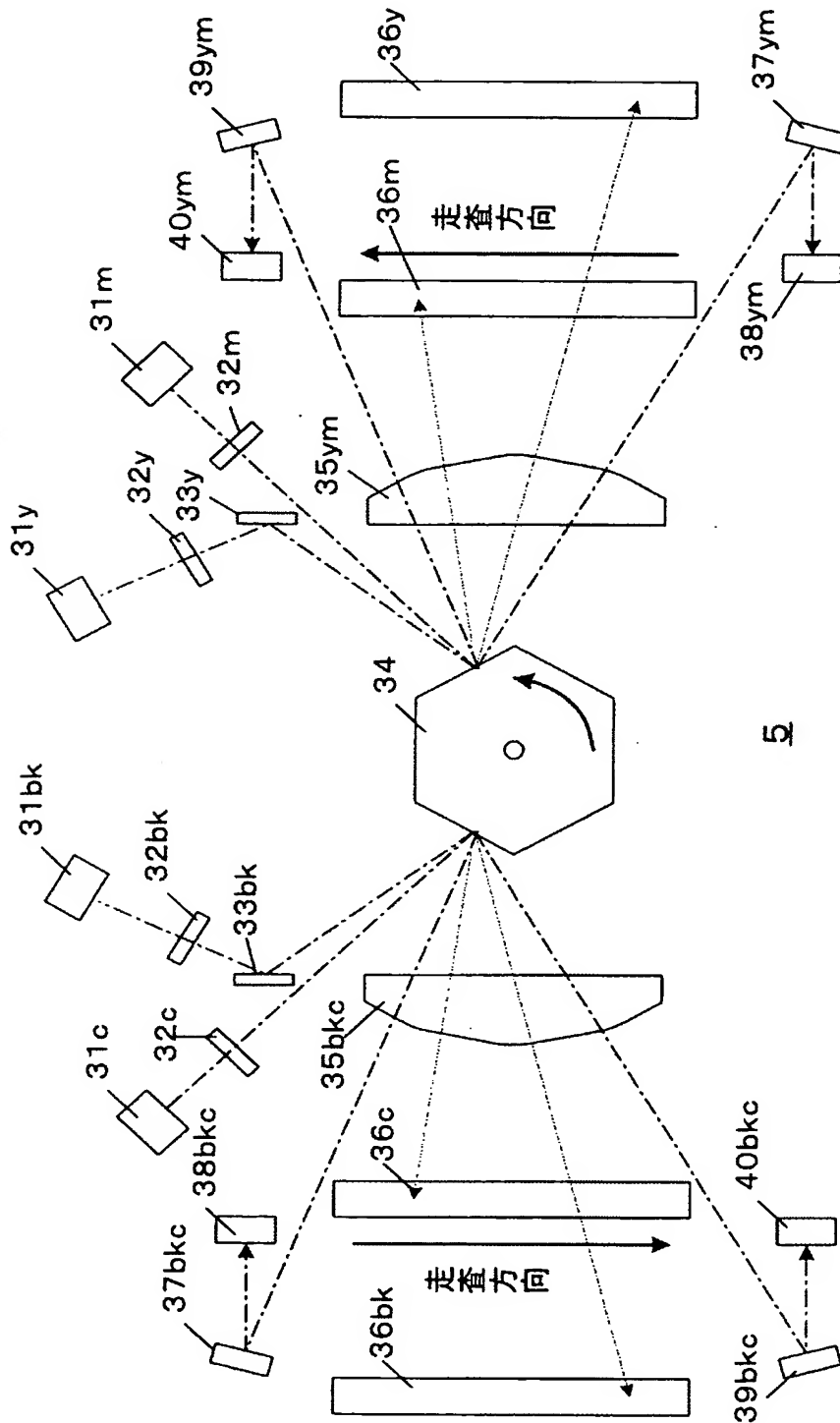
【図 1】



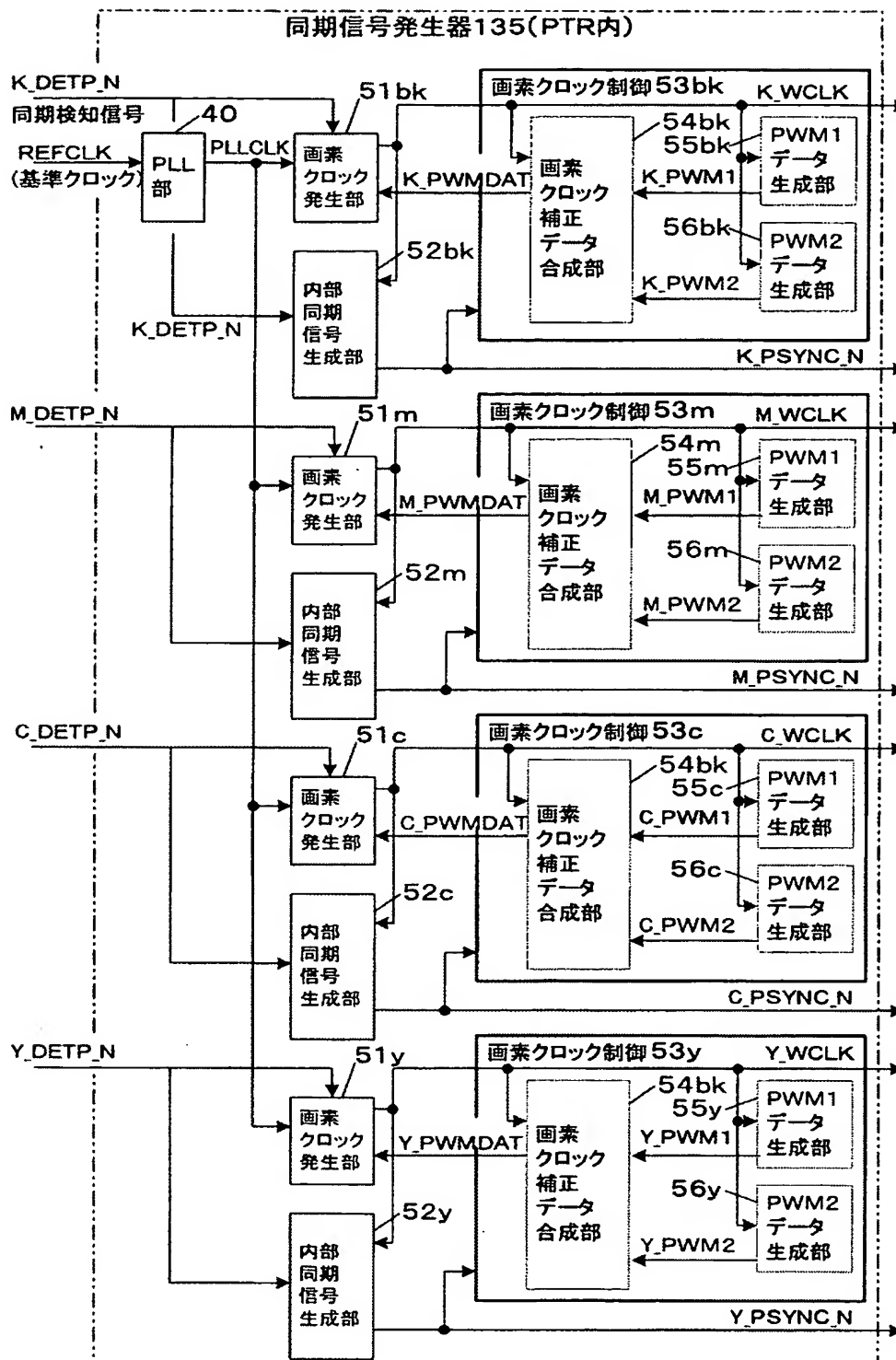
【図 3】



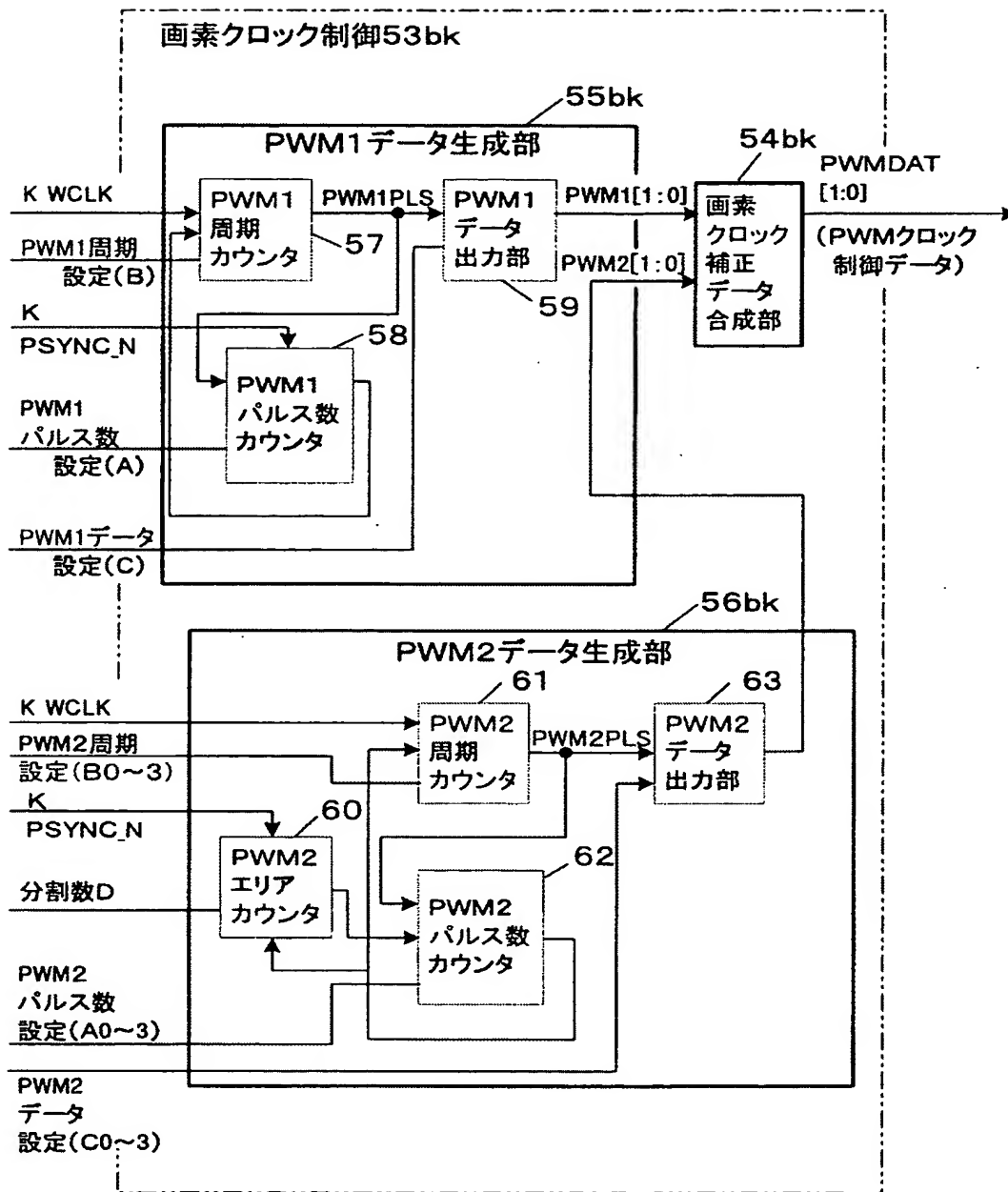
【図 4】



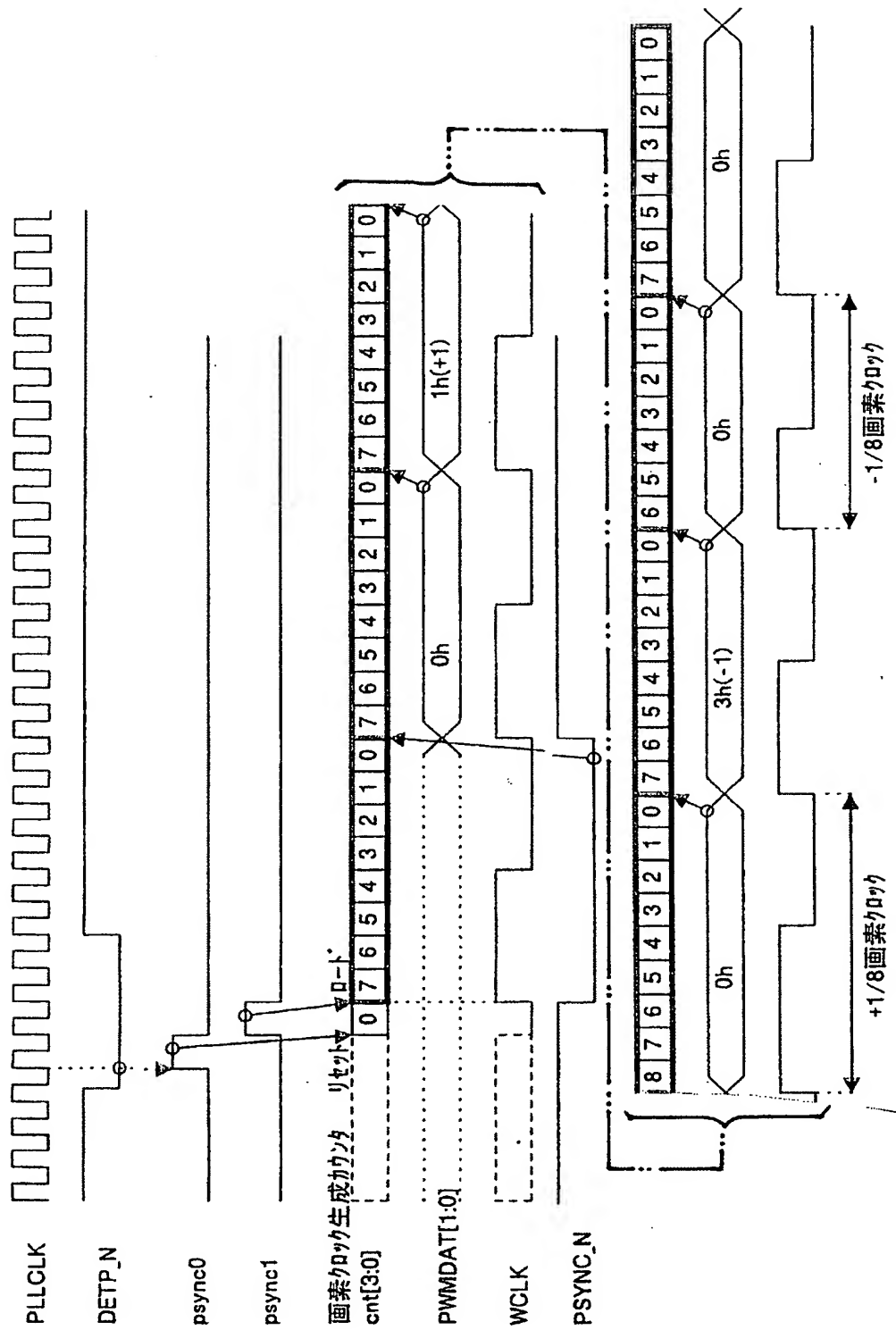
【図 5】



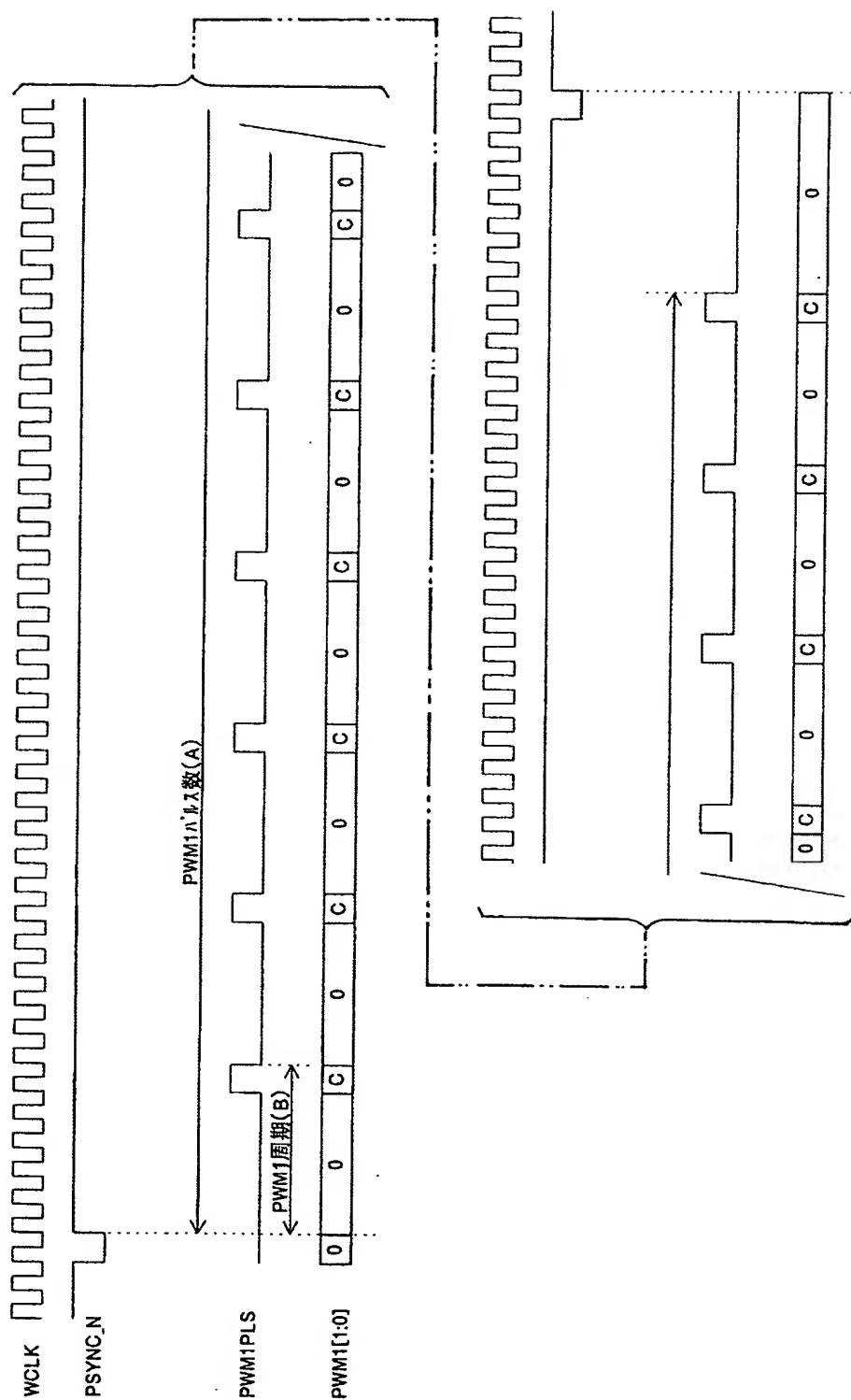
【図6】



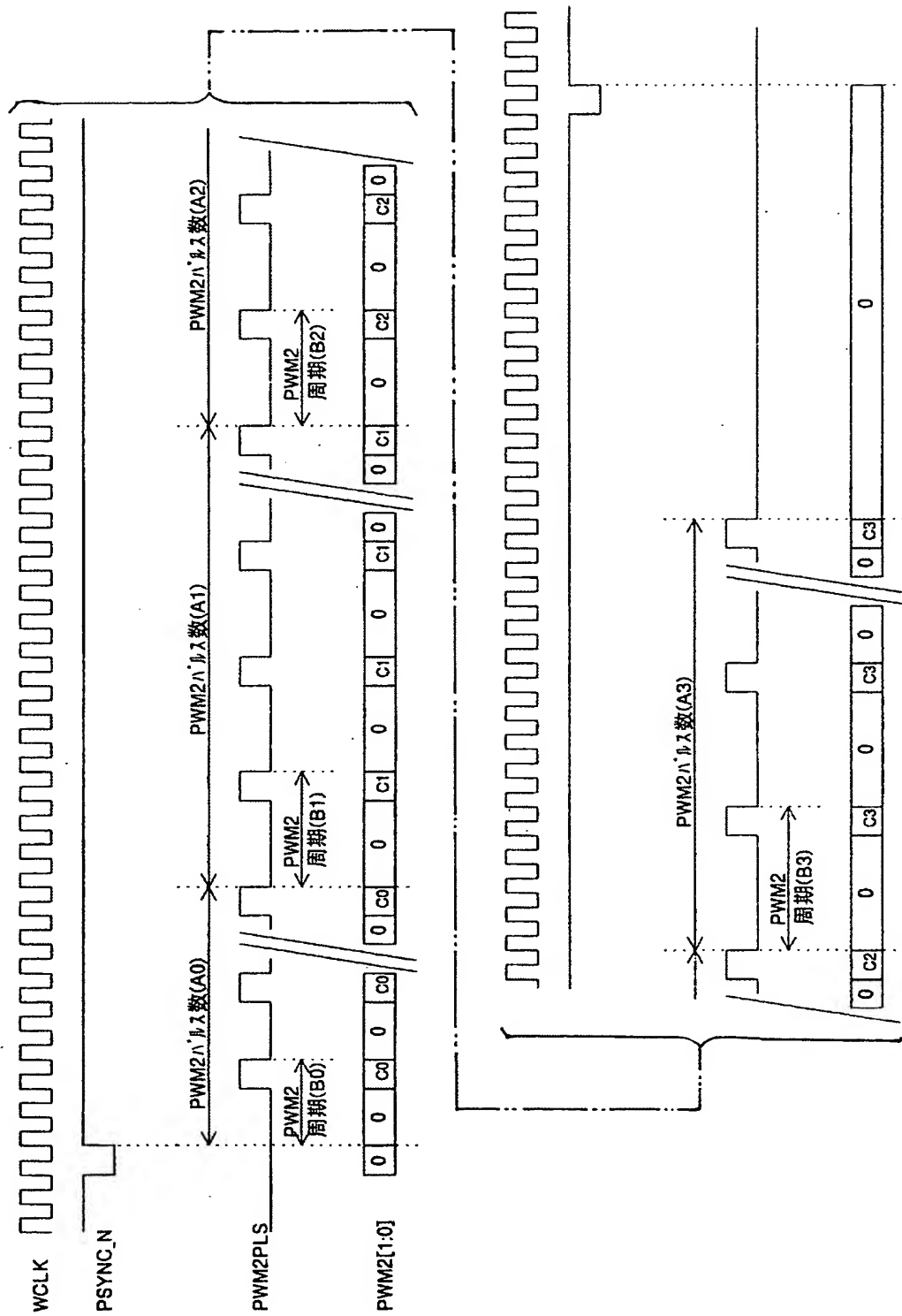
【図 7】



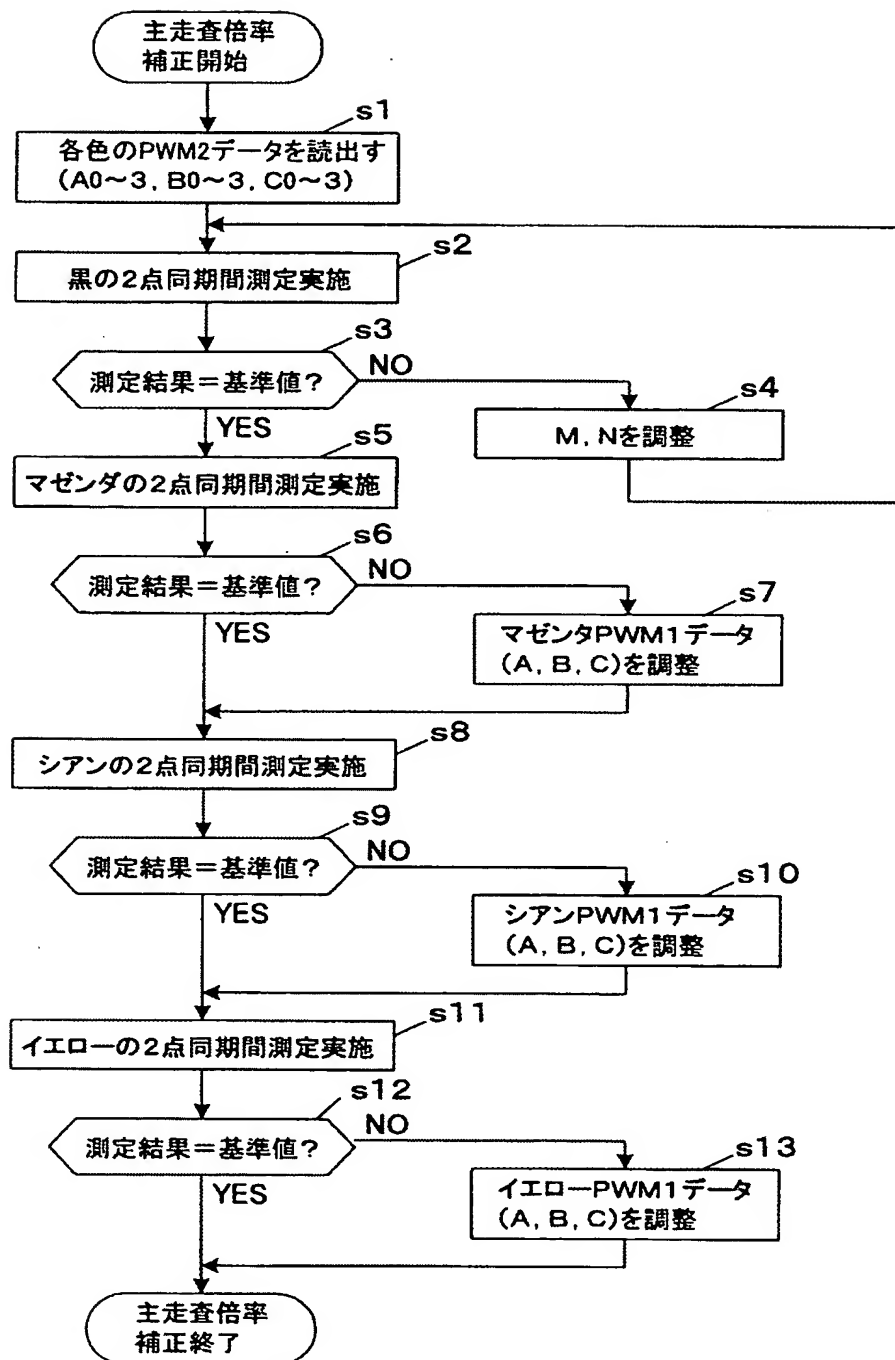
【図 8】



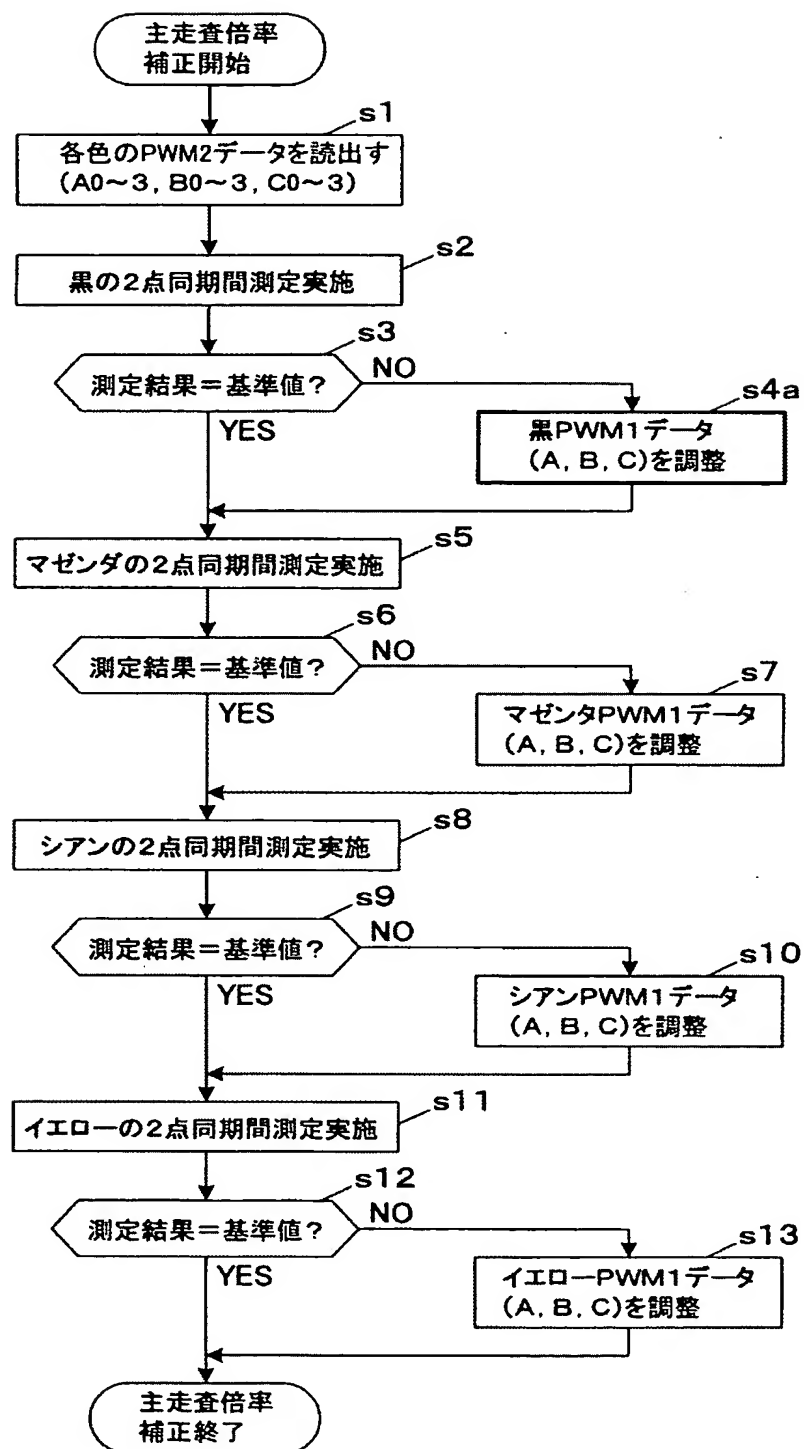
【図 9】



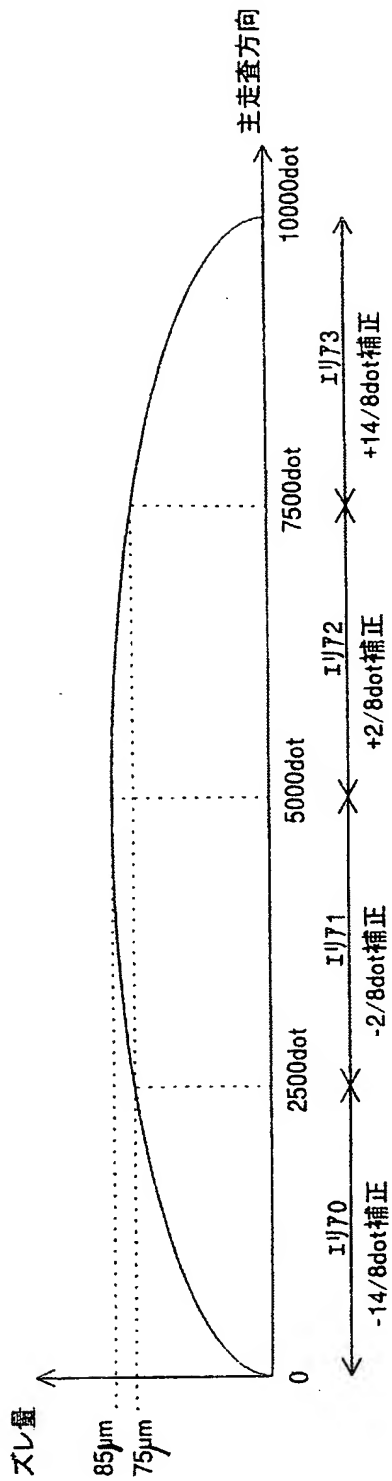
【図 11】



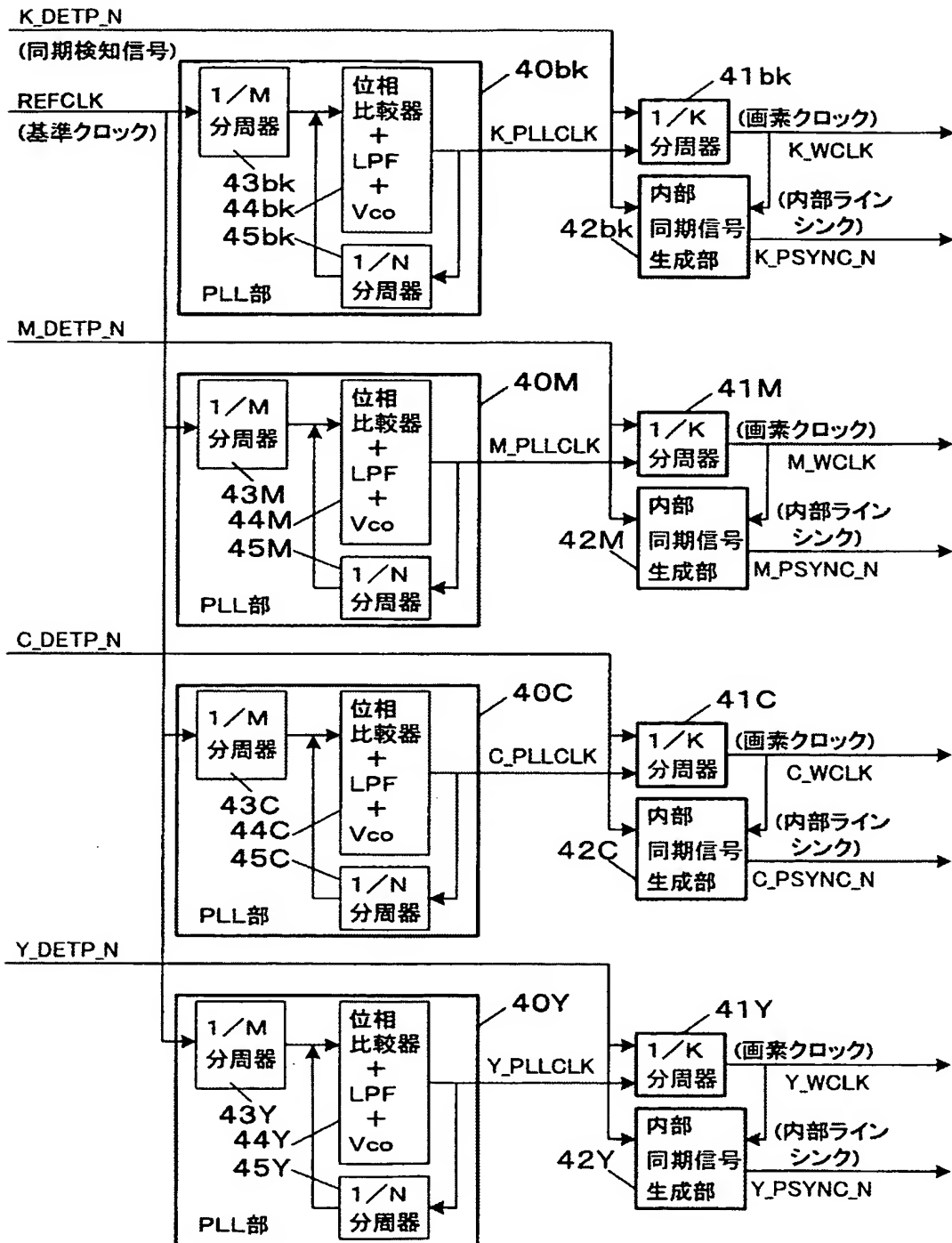
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 主走査ラインの主走査倍率と画素幅伸縮の補正を併せて実現する画素クロックを、比較的簡単に生成する。

【解決手段】 単一の、高周波クロックPLLCLKを発生する手段40)；および、複数の画素クロック発生器；を含む同期信号発生器135およびそれを用いる画像形成装置。各画素クロック発生器は、PLLCLKを分周して基準周期0dot、それより長周期+1/8dotおよび短周期-1/8dotのパルスの、出力選択信号PWMDATによって指定されたものを画素クロックWCLKとして出力する画素クロック発生手段51；第1組データA,B,Cに従って各周期のパルスを指定する第1信号PWM1をWCLK同期で出力する第1選択手段55；第2組データA0~3,B0~3,C0~3,Dに従って各周期のパルスを指定する第2信号PWM2をWCLK同期で出力する第2選択手段56；および、PWM1およびPWM2を合成して前記PWMDATを生成する合成手段54；を備える。

【選択図】 図5

特願 2 0 0 3 - 0 3 0 1 0 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 7 4 7]

1. 変更年月日

2 0 0 2 年 5 月 1 7 日

[変更理由]

住所変更

住 所

東京都大田区中馬込 1 丁目 3 番 6 号

氏 名

株式会社リコー